

# NOISE CHECKING METHOD AND DEVICE

**Patent number:** JP2000035984

**Publication date:** 2000-02-02

**Inventor:** SATO TOSHIRO; SUWA YUJI; IWAKURA YOSHIYUKI;  
GOTO KAZUNARI; SATO TOSHIKI; KANEI  
KAZUYOSHI; TOSAKA MASAKI; YAMASHITA  
HIROTOMO

**Applicant:** FUJITSU LTD

**Classification:**

- International: G06F17/50; G01R31/28; H01L21/82

- european: G01R29/26; G06F17/50C4

**Application number:** JP19980277367 19980930

**Priority number(s):** JP19980277367 19980930; JP19980132196 19980514

**Also published as:**

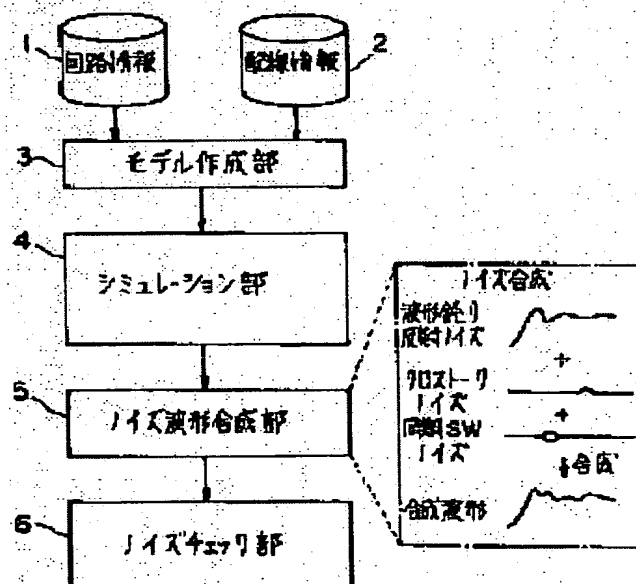


EP1083502 (A1)  
WO9959089 (A)

Report a data error he

## Abstract of JP2000035984

**PROBLEM TO BE SOLVED:** To integrally check/analyze the various kinds of noise by a signal waveform based on reality considering the various kinds of the noise, to improve noise calculation accuracy, to improve noise check accuracy, to drastically shorten time required for noise check and to improve work efficiency by the man-hour reduction of a designer in noise analysis. **SOLUTION:** This device is provided with a model preparation part 3 for preparing the simulation model of a circuit part relating to a wiring under consideration, a simulation part 4 for calculating the signal waveform propagated through the wiring under consideration by performing simulation by using the simulation model and calculating a noise waveform superimposed on the signal waveform for the respective kinds of the noise, a noise waveform synthesis part 5 for obtaining a noise synthetic waveform by synthesizing the signal waveform and the noise waveform while considering the generation timing of the noise waveform and a noise check part 6 for checking the noise based on the noise synthetic waveform.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-35984

(P 2000-35984A)

(43) 公開日 平成12年2月2日 (2000. 2. 2)

(51) Int. Cl.<sup>7</sup>

識別記号

F I

テ-マコード (参考)

G 0 6 F 17/50

G 0 6 F 15/60 6 6 6 V

G 0 1 R 31/28

G 0 1 R 31/28 F

H 0 1 L 21/82

G 0 6 F 15/60 6 6 8 Q

6 6 8 K

H 0 1 L 21/82 T

審査請求 未請求 請求項の数 3 6 O L

(全 3 5 頁)

(21) 出願番号 特願平10-277367

(22) 出願日 平成10年9月30日 (1998. 9. 30)

(31) 優先権主張番号 特願平10-132196

(32) 優先日 平成10年5月14日 (1998. 5. 14)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 佐藤 敏郎

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 諏訪 祐司

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100092978

弁理士 真田 有

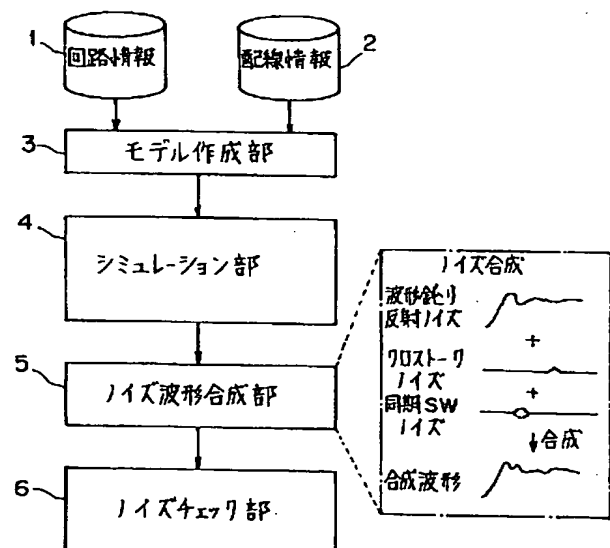
最終頁に続く

(54) 【発明の名称】 ノイズチェック方法および装置

(57) 【要約】

【課題】 各種ノイズを考慮した実際に則した信号波形により各種ノイズを統合的にチェック・解析することを可能とし、ノイズ計算精度の向上とともにノイズチェック精度の向上をはかるほか、ノイズチェックに要する時間の大幅な短縮と、ノイズ解析における設計者の工数削減による作業効率の向上とを実現する。

【解決手段】 着目配線に係る回路部分のシミュレーションモデルを作成するモデル作成部3と、シミュレーションモデルを用いてシミュレーションを行なうことにより前記着目配線を伝播する信号波形を算出するとともにその信号波形にのるノイズ波形をノイズの種類毎に算出するシミュレーション部4と、ノイズ波形の発生タイミングを考慮しながら信号波形とノイズ波形とを合成することによりノイズ合成波形を得るノイズ波形合成部5と、そのノイズ合成波形に基づいてノイズチェックを行なうノイズチェック部6とをそなえて構成する。



## 【特許請求の範囲】

【請求項 1】 回路設計に際し、設計対象回路上の着目配線を伝播する信号波形に影響を与えるノイズをチェックする方法であって、

前記着目配線に係る回路部分のシミュレーションモデルを作成し、

該シミュレーションモデルを用いてシミュレーションを行なうことにより、前記着目配線を伝播する信号波形を算出するとともに、前記着目配線において該信号波形にのるノイズ波形をノイズの種類毎に算出し、

該ノイズ波形の発生タイミングを考慮しながら、該信号波形とノイズの種類毎に算出されたノイズ波形とを合成することにより、ノイズののった信号波形であるノイズ合成波形を得た後、

該ノイズ合成波形に基づいてノイズチェックを行なうことを特徴とする、ノイズチェック方法。

【請求項 2】 前記着目配線に対する隣接配線が、折り返すことにより前記着目配線に対して電氣的に干渉しうる近接部を複数有している場合、該隣接配線の近接部毎に、その近接部と前記着目配線とについて該シミュレーションモデルを作成して該シミュレーションモデルを用いて該ノイズ波形を算出し、全ての近接部について算出された該ノイズ波形と該信号波形とを、該ノイズ波形の発生タイミングを考慮しながら合成することを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 3】 前記ノイズチェックに際し、該ノイズ合成波形から前記着目配線の最大遅延時間および最小遅延時間を抽出し、これらの最大遅延時間および最小遅延時間を用いて前記着目配線におけるオーバディレイ／レーシングチェックを行なうことを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 4】 前記着目配線を伝播する信号波形がクロック波形である場合、前記ノイズチェックに際し、該ノイズ合成波形と信号波形のハイレベル判定閾値／ローレベル判定閾値との交点から該ノイズ合成波形についてのパルス周期を算出し、該パルス周期に基づき前記着目配線におけるクロック波形のパルス周期チェックを行なうことを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 5】 前記着目配線を伝播する信号波形がクロック波形である場合、前記ノイズチェックに際し、該ノイズ合成波形と信号波形のハイレベル判定閾値／ローレベル判定閾値との交点から該ノイズ合成波形の立ち上がり幅および立ち下がり幅を算出し、これらの立ち上がり幅および立ち下がり幅に基づき前記着目配線におけるクロック波形のパルス幅チェックを行なうことを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 6】 前記着目配線を伝播する信号波形がクロック波形である場合、前記ノイズチェックに際し、該ノイズ合成波形と信号波形のハイレベル判定閾値／ローレ

ベル判定閾値との交点から、該ノイズ合成波形が立ち上がりに要する時間および該ノイズ合成波形が立ち下がりに要する時間を算出し、これらの時間に基づき前記着目配線におけるクロック波形の立ち上がり時間／立ち下がり時間のチェックを行なうことを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 7】 前記シミュレーションに際して、該シミュレーションモデルを複数のファイルに分割し、該複数のファイルについてのシミュレーションを、並列プロセッサにおいて並列的に動作する複数の処理部でそれぞれ実行した後、該複数の処理部によるシミュレーション結果ファイルを結合することを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 8】 前記シミュレーションに際して、該シミュレーションモデルを複数のファイルに分割し、該複数のファイルについてのシミュレーションを、ネットワークを介して接続された複数の処理部でそれぞれ実行した後、該複数の処理部によるシミュレーション結果ファイルを結合することを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 9】 該ノイズ合成波形についてのノイズ解析を行ない、

該ノイズ解析により前記着目配線に悪影響を与える問題配線が判明した場合、前記着目配線および該問題配線を含む配線パターンを表示部に表示し、

該表示部に表示された該問題配線をポインティングデバイスにより該表示部上で移動させた場合、該ポインティングデバイスによる移動量に応じた該問題配線の実移動量を算出し、

該問題配線を該実移動量だけ移動させた状態で、前記シミュレーションモデルの作成、前記シミュレーション、前記ノイズ合成波形の合成および前記ノイズチェックを再度行ない、

該問題配線の移動後の前記ノイズ合成波形を該表示部に表示することを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 10】 該ノイズ合成波形についてのノイズ解析を行ない、

該ノイズ解析により前記着目配線に悪影響を与えるノイズ波形が判明した場合、該ノイズ波形を表示部に表示し、

該表示部に表示された該ノイズ波形をポインティングデバイスにより該表示部上で移動させた場合、該ポインティングデバイスによる移動量に応じた該ノイズ波形のタイミング変更量を算出し、該タイミング変更量だけ該ノイズ波形の発生タイミングを動的に変化させることを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 11】 発生タイミングを動的に変化させた該ノイズ波形を用いて前記ノイズ合成波形の合成および前記ノイズチェックを再度行ない、該ノイズ波形のタイミ

ング変更後の前記ノイズ合成波形を該表示部に表示することを特徴とする、請求項 10 記載のノイズチェック方法。

【請求項 12】 前記ノイズ合成波形にリングングがのっている場合、前記着目配線に付加することにより該リングングを解消することの可能なダンピング抵抗値を算出し、  
該ダンピング抵抗値に対応する候補部品データを表示部に表示し、  
該候補部品データの中から選択された部品を前記着目配線に付加した状態で、前記シミュレーションモデルの作成、前記シミュレーション、前記ノイズ合成波形の合成および前記ノイズチェックを再度行ない、  
該部品の付加後の前記ノイズ合成波形を該表示部に表示することを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 13】 前記ノイズ合成波形を得るに際して、ディレイばらつきを考慮した前記信号波形の最大値および最小値の時間軸方向分布を算出するとともに、ノイズ発生タイミングばらつきを考慮した前記ノイズ波形の最大値および最小値の時間軸方向分布をノイズの種類毎に算出し、  
前記信号波形の最大値および最小値の時間軸方向分布と前記ノイズ波形の最大値および最小値の時間軸方向分布とを合成することにより得られた最大値および最小値の時間軸方向分布を前記ノイズ合成波形として用いることを特徴とする、請求項 1 記載のノイズチェック方法。

【請求項 14】 前記ノイズチェックに際して、前記ノイズ合成波形の最大値および最小値の時間軸方向分布が、いずれも、チェック対象ピンでの論理的な期待値を満足しているか否かを判断することを特徴とする、請求項 13 記載のノイズチェック方法。

【請求項 15】 前記シミュレーションに際して、前記信号波形を所定条件下で 1 つだけ算出するとともに、ノイズの種類毎の前記ノイズ波形を前記所定条件下で 1 つだけ算出し、  
前記ノイズ合成波形を得るに際して、1 つだけ算出された前記信号波形を前記ディレイばらつきの範囲内でシフトさせることにより前記信号波形の最大値および最小値の時間軸方向分布を算出するとともに、ノイズの種類毎に、1 つだけ算出された前記ノイズ波形を前記ノイズ発生タイミングばらつきの範囲内でシフトさせることにより前記ノイズ波形の最大値および最小値の時間軸方向分布を算出することを特徴とする、請求項 13 記載のノイズチェック方法。

【請求項 16】 前記ノイズ波形が複数のクロックサイクルに亘って存在する場合、各クロックサイクルの同一位相における前記ノイズ波形の最大値および最小値をそれぞれ抽出することにより、前記ノイズ波形の最大値および最小値をそれぞれ一つのクロックサイクルに圧縮し

た最大値圧縮ノイズ波形および最小値圧縮ノイズ波形を生成し、これらの圧縮ノイズ波形を、それぞれ、前記ノイズ波形の最大値および最小値の時間軸方向分布として用いることを特徴とする、請求項 13 記載のノイズチェック方法。

【請求項 17】 前記ノイズチェックで前記信号波形のオーバディレイチェックを行なう場合、前記信号波形の立ち上がり時には該信号波形に前記ノイズ波形の最小値の時間軸分布を合成して得られる波形を前記ノイズ合成波形として用いる一方、前記信号波形の立ち下がり時には該信号波形に前記ノイズ波形の最大値の時間軸分布を合成して得られる波形を前記ノイズ合成波形として用いることを特徴とする、請求項 13 記載のノイズチェック方法。

【請求項 18】 前記ノイズチェックで前記信号波形のレーシングチェックを行なう場合、前記信号波形の立ち上がり時には該信号波形に前記ノイズ波形の最大値の時間軸分布を合成して得られる波形を前記ノイズ合成波形として用いる一方、前記信号波形の立ち下がり時には該信号波形に前記ノイズ波形の最小値の時間軸分布を合成して得られる波形を前記ノイズ合成波形として用いることを特徴とする、請求項 13 記載のノイズチェック方法。

【請求項 19】 回路設計に際し、設計対象回路上の着目配線を伝播する信号波形に影響を与えるノイズをチェックするための装置であって、  
前記着目配線に係る回路部分のシミュレーションモデルを作成するモデル作成部と、  
該モデル作成部により作成された該シミュレーションモデルを用いてシミュレーションを行なうことにより、前記着目配線を伝播する信号波形を算出するとともに、前記着目配線において該信号波形にのるノイズ波形をノイズの種類毎に算出するシミュレーション部と、  
該ノイズ波形の発生タイミングを考慮しながら、該シミュレーション部により算出された該信号波形と該ノイズ波形とを合成することにより、ノイズののった信号波形であるノイズ合成波形を得るノイズ波形合成部と、  
該ノイズ波形合成部により得られた該ノイズ合成波形に基づいてノイズチェックを行なうノイズチェック部とをそなえてなることを特徴とする、ノイズチェック装置。

【請求項 20】 前記着目配線に対する隣接配線が、折り返すことにより前記着目配線に対して電氣的に干渉しうる近接部を複数有している場合、該モデル作成部が、該隣接配線の近接部毎に、その近接部と前記着目配線とについて該シミュレーションモデルを作成し、該シミュレーション部が、該シミュレーションモデルを用いて該ノイズ波形を算出し、該ノイズ波形合成部が、全ての近接部について算出された該ノイズ波形と該信号波形とを、該ノイズ波形の発生タイミングを考慮しながら合成することを特徴とする、請求項 19 記載のノイズチェッ

ク装置。

【請求項 2 1】 該ノイズチェック部が、該ノイズ合成波形から前記着目配線の最大遅延時間および最小遅延時間を抽出し、これらの最大の遅延時間および最小の遅延時間を用いて前記着目配線におけるオーバディレイ／レーシングチェックを行なうことを特徴とする、請求項 1 9 記載のノイズチェック装置。

【請求項 2 2】 前記着目配線を伝播する信号波形がクロック波形である場合、該ノイズチェック部が、該ノイズ合成波形と信号波形のハイレベル判定閾値／ローレベル判定閾値との交点から該ノイズ合成波形についてのパルス周期を算出し、該パルス周期に基づき前記着目配線におけるクロック波形のパルス周期チェックを行なうことを特徴とする、請求項 1 9 記載のノイズチェック装置。

【請求項 2 3】 前記着目配線を伝播する信号波形がクロック波形である場合、該ノイズチェック部が、該ノイズ合成波形と信号波形のハイレベル判定閾値／ローレベル判定閾値との交点から該ノイズ合成波形の立ち上がり幅および立ち下がり幅を算出し、これらの立ち上がり幅および立ち下がり幅に基づき前記着目配線におけるクロック波形のパルス幅チェックを行なうことを特徴とする、請求項 1 9 記載のノイズチェック装置。

【請求項 2 4】 前記着目配線を伝播する信号波形がクロック波形である場合、該ノイズチェック部が、該ノイズ合成波形と信号波形のハイレベル判定閾値／ローレベル判定閾値との交点から、該ノイズ合成波形が立ち上がりに要する時間および該ノイズ合成波形が立ち下がりに要する時間を算出し、これらの時間に基づき前記着目配線におけるクロック波形の立ち上がり時間／立ち下がり時間のチェックを行なうことを特徴とする、請求項 1 9 記載のノイズチェック装置。

【請求項 2 5】 該シミュレーション部が、該シミュレーションモデルを複数のファイルに分割するファイル分割部と、  
該ファイル分割部により分割された該複数のファイルについてのシミュレーションを並列的に実行する複数の処理部を有する並列プロセッサと、  
該複数の処理部によるシミュレーション結果ファイルを結合するファイル結合部とを有して構成されていることを特徴とする、請求項 1 9 記載のノイズチェック装置。

【請求項 2 6】 該シミュレーション部が、該シミュレーションモデルを複数のファイルに分割するファイル分割部と、  
該ファイル分割部により分割された該複数のファイルについてのシミュレーションを並列的に実行する複数の処理部を接続するネットワークと、  
該複数の処理部によるシミュレーション結果ファイルを結合するファイル結合部とを有して構成されていることを特徴とする、請求項 1 9 記載のノイズチェック装置。

【請求項 2 7】 該ノイズ合成波形についてのノイズ解析を行なうノイズ合成波形解析部と、

該ノイズ合成波形解析部により前記着目配線に悪影響を与える問題配線が判明した場合に前記着目配線および該問題配線を含む配線パターンを表示する表示部と、

該表示部に表示された該問題配線を該表示部上で移動させるためのポインティングデバイスと、

該ポインティングデバイスによる移動量に応じた該問題配線の実移動量を算出する移動量算出部とをそなえ、

10 該問題配線を該実移動量だけ移動させた状態で、該モデル作成部、該シミュレーション部、該ノイズ波形合成部および該ノイズチェック部を再度動作させ、該問題配線の移動後の前記ノイズ合成波形を該表示部に表示させることを特徴とする、請求項 1 9 記載のノイズチェック装置。

【請求項 2 8】 該ノイズ合成波形についてのノイズ解析を行なうノイズ合成波形解析部と、

該ノイズ合成波形解析部により前記着目配線に悪影響を与えるノイズ波形が判明した場合に該ノイズ波形を表示する表示部と、

20 該表示部に表示された該ノイズ波形を該表示部上で移動させるためのポインティングデバイスと、

該ポインティングデバイスによる移動量に応じた該ノイズ波形のタイミング変更量を算出し該タイミング変更量だけ該ノイズ波形の発生タイミングを動的に変化させるタイミング変更量算出部とをそなえ、

ことを特徴とする、請求項 1 9 記載のノイズチェック装置。

【請求項 2 9】 該ノイズ波形の発生タイミングを変化させた状態で、該ノイズ波形合成部および該ノイズチェック部を再度動作させ、該ノイズ波形のタイミング変更後の前記ノイズ合成波形を該表示部に表示させることを特徴とする、請求項 2 8 記載のノイズチェック装置。

【請求項 3 0】 前記ノイズ合成波形にリングングがのっている場合、前記着目配線に付加することにより該リングングを解消することの可能なダンピング抵抗値を算出するダンピング抵抗値算出部と、

30 該ダンピング抵抗値算出部により算出された該ダンピング抵抗値に対応する候補部品データを検索する部品検索部と、

該部品検索部により検索された該候補部品データを表示する表示部と、

該表示部に表示された該候補部品データの中から部品を選択する選択入力部とをそなえ、

40 該選択入力部により選択された部品を前記着目配線に付加した状態で、該モデル作成部、該シミュレーション部、該ノイズ波形合成部および該ノイズチェック部を再度動作させ、該部品の付加後の前記ノイズ合成波形を表示部に表示させることを特徴とする、請求項 1 9 記載のノイズチェック装置。

【請求項31】 該ノイズ波形合成部が、ディレイばらつきを考慮した前記信号波形の最大値および最小値の時間軸方向分布を算出するとともに、ノイズ発生タイミングばらつきを考慮した前記ノイズ波形の最大値および最小値の時間軸方向分布をノイズの種類毎に算出し、前記信号波形の最大値および最小値の時間軸方向分布と前記ノイズ波形の最大値および最小値の時間軸方向分布とを合成することにより得られた最大値および最小値の時間軸方向分布を前記ノイズ合成波形として得ることを特徴とする、請求項19記載のノイズチェック装置。

【請求項32】 該ノイズチェック部が、前記ノイズ合成波形の最大値および最小値の時間軸方向分布が、いずれも、チェック対象ピンでの論理的な期待値を満足しているか否かを判断することにより、前記ノイズチェックを行なうことを特徴とする、請求項31記載のノイズチェック装置。

【請求項33】 該シミュレーション部が、前記信号波形を所定条件下で1つだけ算出するとともに、ノイズの種類毎の前記ノイズ波形を前記所定条件下で1つだけ算出し、該ノイズ波形合成部が、1つだけ算出された前記信号波形を前記ディレイばらつきの範囲内でシフトさせることにより前記信号波形の最大値および最小値の時間軸方向分布を算出するとともに、ノイズの種類毎に、1つだけ算出された前記ノイズ波形を前記ノイズ発生タイミングばらつきの範囲内でシフトさせることにより前記ノイズ波形の最大値および最小値の時間軸方向分布を算出することを特徴とする、請求項31記載のノイズチェック装置。

【請求項34】 前記ノイズ波形が複数のクロックサイクルに亘って存在する場合、該ノイズ波形合成部が、各クロックサイクルの同一位相における前記ノイズ波形の最大値および最小値をそれぞれ抽出することにより、前記ノイズ波形の最大値および最小値をそれぞれ一つのクロックサイクルに圧縮した最大値圧縮ノイズ波形および最小値圧縮ノイズ波形を生成し、これらの圧縮ノイズ波形を、それぞれ、前記ノイズ波形の最大値および最小値の時間軸方向分布として用いることを特徴とする、請求項31記載のノイズチェック装置。

【請求項35】 該ノイズチェック部により前記信号波形のオーバディレイチェックを行なう場合、該ノイズ波形合成部が、前記信号波形の立ち上がり時には該信号波形に前記ノイズ波形の最小値の時間軸分布を合成して前記ノイズ合成波形を得る一方、前記信号波形の立ち下がり時には該信号波形に前記ノイズ波形の最大値の時間軸分布を合成して前記ノイズ合成波形を得ることを特徴とする、請求項31記載のノイズチェック装置。

【請求項36】 該ノイズチェック部により前記信号波形のレーシングチェックを行なう場合、該ノイズ波形合

成部が、前記信号波形の立ち上がり時には該信号波形に前記ノイズ波形の最大値の時間軸分布を合成して前記ノイズ合成波形を得る一方、前記信号波形の立ち下がり時には該信号波形に前記ノイズ波形の最小値の時間軸分布を合成して前記ノイズ合成波形を得ることを特徴とする、請求項31記載のノイズチェック装置。

#### 【発明の詳細な説明】

#### 【0001】（目次）

発明の属する技術分野

10 従来の技術

発明が解決しようとする課題

課題を解決するための手段（図1）

発明の実施の形態

〔1〕第1実施形態の説明（図2～図15）

〔1-A〕第1実施形態の第1変形例の説明（図16～図19）

〔1-B〕第1実施形態の第2変形例の説明（図20～図23）

20 〔1-C〕第1実施形態の第3変形例の説明（図24，図25）

〔1-D〕第1実施形態の第4変形例の説明（図26～図28）

〔1-E〕第1実施形態の第5変形例の説明（図30～図32）

〔2〕第2実施形態の説明（図33～図42）

〔3〕その他

発明の効果

#### 【0002】

30 【発明の属する技術分野】本発明は、例えばLSI (Large Scale Integration), MCM (Multi Chip Module), プリント基板 (PCB: Printed-Circuit Board) 等の電子回路を設計する際に適用される技術に関し、特に、設計対象の電子回路で発生しうるノイズ（例えば、反射ノイズ、クロストークノイズ、同時スイッチングノイズ、電源ノイズ、電波放射ノイズ等）が、その設計対象の電子回路内で伝播される信号波形に与える影響をチェックするための方法および装置に関する。

#### 【0003】

40 【従来の技術】現在、開発されている各種エレクトロニクスの機器（例えばLSI, MCM, PCBなど）においては、その高性能化、高速化、小型化、高密度化が要求されて、今や機器の機能も極めて複雑化してきている。例えば、動作速度の高速化に対しては、システムクロック（伝送クロックサイクル）を300MHz程度にするように要求されており、このクロックの高速化に伴って、信号エッジスピード（信号の立ち上がり／立ち下がり速度）も数百ps（ピコ秒）にするように要求されている。また、実装状態を高密度化するために、LSIのパッケージ技術として、スルーホール実装型のDIP (Dual In-line Package) から表面実装型のSOP (Sma

II Outline Package)が採用され、さらに、近年、BGA (Ball Grid Array)が採用されている。

【0004】このような状況下においては、高速化に伴い配線ディレイの問題が顕在化してくるため、配線ディレイに配慮しながらLSI、MCM、PCBなどの電子回路を設計しなければならない。また、一般的な電子機器に多く採用されているCMOSタイプのLSIは、低消費電力であるという特徴がある反面、CMOSタイプのLSIでは、ゲート切換によって素子内を流れる動作電流が大きく変動するために電源ノイズが発生したり、振幅電圧の減少によりノイズマージンが低下したりするなどの問題が生じている。

【0005】さらに、前述のような装置の高速化や微細化/高密度化に伴い、クロストークノイズとインピーダンス不整合や大容量負荷による反射ノイズとが複合して発生するために、ノイズによるディレイ問題が生じるだけでなく、回路内で誤動作が発生するおそれもある。ここで、ある配線は、隣接配線を伝播する信号のスイッチング動作による電氣的干渉を受けることになるが、この電氣的干渉により、その配線を伝播する信号にのるノイズがクロストークノイズである。このようなクロストークノイズは、配線間隔の微小化と信号エッジスピードの高速化とに伴って無視できない大きさになってきている。

【0006】また、バスラインでは複数本の信号線が密に配線されることになるが、これらの信号線を伝播する信号が同時にスイッチングすることによっても大きなノイズが発生する。このノイズのことを同時スイッチングノイズと呼ぶ。上述した各種ノイズ（反射ノイズ、クロストークノイズ、同時スイッチングノイズ、電源/グラウンドバウンス）の発生により、回路内を伝播する信号波形の品質（signal integrity）が非常に劣化するため、信号伝播に際してディレイや誤動作の問題が顕在化してきている。さらに、動作速度の高速化に加えて上述した各種ノイズが伝播信号にのることが、外部への電磁誘導ノイズ（電波放射ノイズ）の増加の要因になっているため、EMI（electromagnetic interference）を配慮し、回路内で生じる各種ノイズが伝播信号に影響する度合いをできる限り抑えるように回路設計を行なうことも望まれている。

【0007】そこで、従来、ドキュメントベースの配線規約を設定して設計者にその配線規約を遵守させたり、計算式ベースの配線規約チェックツールをCADツールとしてそなえて回路設計時に配線規約が守られているかを自動的にチェックしたりすることが行なわれている。ドキュメントベースの配線規約では、上述した各種ノイズの発生を抑制しうる配線設計上の規約が文書により予め記述され、回路設計者は、その文書を参照して規約を遵守しながら回路設計を行なう。例えば、クロストークノイズの発生を抑制しうる配線間隔/平行配線長

や、反射ノイズの影響を抑制しうる配線長/分岐長などが規約として設定されている。

【0008】計算式ベースの配線規約チェックツールでは、前述したドキュメントベースの配線規約が文書ではなく計算式で予め記述され、論理設計時や実装設計時に得られる配線に関する各種諸元を上記計算式に代入することにより、総配線長、分岐長、平行配線長、最大負荷数が、各種ノイズの発生を抑制しうるように設定されているかを自動的にチェックしている。

10 【0009】また、実際に設計を行ない各種ノイズによる問題が発生した場合にその各種ノイズによる問題を個々に解決する手段も従来より提示されており、これらの手段を用いて、クロストークノイズや反射ノイズを個々に解析し、各ノイズについてのマージンチェックや、ディレイ/レーシング解析等を行なうことが知られている。

【0010】

【発明が解決しようとする課題】しかしながら、上述のようなドキュメントベースの配線規約や計算式ベースの配線規約チェックツールを用いた場合、設計対象回路の動作速度が遅ければその配線規約を遵守することは可能であるが、その動作速度を高速化すると、一律、配線規約（計算式）を満足するように配線設計を行なうことは困難になってくる。配線規約は、各種ノイズが複合的に発生する様々な状況を考慮し、その規約を守れば確実に各種ノイズの発生を抑制できるように設定されているので、極めて厳しい設定となっている。このため、従来用いられている配線規約は、動作速度を高速化した場合、過剰な規約となっており、その規約を満たすように配線設計を行なうことができず、実用性のないものになっている。このように規約を満たすように配線設計をできない場合、設計者は、規約を無視して設計を行ない、実際にノイズによる問題が生じた時に、そのノイズに対処することになる。

【0011】一方、前述したように、ノイズによる問題を個々に解決する手段も従来より提示されてはいるが、ノイズの発生タイミングやネットにおける遅延を考慮しながら各種ノイズを統合的に解析して実際に電子回路を作成する前にノイズのチェックを行なうといった技術が存在しない。従って、従来、実際に設計対象の回路を作成してから、設計者の手作業と回路の試験とによってノイズに起因する問題等をチェックしなければならず、ノイズチェックに多大な時間を要するとともにノイズ解析を行なう設計者への負担が非常に大きい。

40 【0012】また、従来、ノイズの発生タイミングやネットにおける遅延を考慮したノイズ解析を行なっていないので、ノイズの影響を過大に評価する傾向があった。しかし、前述したように、近年、機器の機能は複雑化かつ高速化し、これに伴い回路の設計条件も一層厳しくなっており、ノイズの発生タイミングやネットにおける遅

延を考慮して各ノイズを統合的に解析し、実際の波形に近い波形によりノイズのマージンチェックやディレイ／レーシング解析等を行なうことが要望されるようになってきている。

【0013】さらに、近年、装置開発サイクルが短縮化され、例えばパーソナルコンピュータでは、その開発サイクルは年単位から月単位になってきており、これに伴ってノイズチェックに要する時間の短縮化も要望されている。本発明は、このような状況に鑑み創案されたもので、各種ノイズを考慮した実際に則した信号波形により各種ノイズを統合的にチェック／解析することを可能とし、ノイズ計算精度の向上とともにノイズチェック精度の向上をはかるほか、ノイズチェックに要する時間の大幅な短縮と、ノイズ解析における設計者の工数削減による作業効率の向上とを実現した、ノイズチェック方法および装置を提供することを目的とする。

#### 【0014】

【課題を解決するための手段】上記目的を達成するために、本発明のノイズチェック方法（請求項1）は、回路設計に際し、設計対象回路上の着目配線を伝播する信号波形に影響を与えるノイズをチェックする方法であって、前記着目配線に係る回路部分のシミュレーションモデルを作成し、該シミュレーションモデルを用いてシミュレーションを行なうことにより、前記着目配線を伝播する信号波形を算出するとともに、前記着目配線において該信号波形にのるノイズ波形をノイズの種類毎に算出し、該ノイズ波形の発生タイミングを考慮しながら、該信号波形とノイズの種類毎に算出されたノイズ波形とを合成することにより、ノイズののった信号波形であるノイズ合成波形を得た後、該ノイズ合成波形に基づいてノイズチェックを行なうことを特徴としている。

【0015】このとき、前記着目配線に対する隣接配線が、折り返すことにより前記着目配線に対して電氣的に干渉しうる近接部を複数有している場合、該隣接配線の近接部毎に、その近接部と前記着目配線とについて該シミュレーションモデルを作成して該シミュレーションモデルを用いて該ノイズ波形を算出し、全ての近接部について算出された該ノイズ波形と該信号波形とを、該ノイズ波形の発生タイミングを考慮しながら合成する（請求項2）。

【0016】前記ノイズチェックに際し、該ノイズ合成波形から前記着目配線の最大遅延時間および最小遅延時間を抽出し、これらの最大遅延時間および最小遅延時間を用いて前記着目配線におけるオーバディレイ／レーシングチェックを行なってもよい（請求項3）。また、前記着目配線を伝播する信号波形がクロック波形である場合、前記ノイズチェックに際し、該ノイズ合成波形と信号波形のハイレベル判定閾値／ローレベル判定閾値との交点から該ノイズ合成波形についてのパルス周期を算出し、該パルス周期に基づき前記着目配線におけるクロッ

ク波形のパルス周期チェックを行なってもよい（請求項4）、該ノイズ合成波形と信号波形のハイレベル判定閾値／ローレベル判定閾値との交点から該ノイズ合成波形の立ち上がり幅および立ち下がり幅を算出し、これらの立ち上がり幅および立ち下がり幅に基づき前記着目配線におけるクロック波形のパルス幅チェックを行なってもよい（請求項5）、該ノイズ合成波形と信号波形のハイレベル判定閾値／ローレベル判定閾値との交点から、該ノイズ合成波形が立ち上がりに要する時間および該ノイズ合成波形が立ち下がりに要する時間を算出し、これらの時間に基づき前記着目配線におけるクロック波形の立ち上がり時間／立ち下がり時間のチェックを行なってもよい（請求項6）。

【0017】前記シミュレーションに際して、該シミュレーションモデルを複数のファイルに分割し、該複数のファイルについてのシミュレーションを、並列プロセッサにおいて並列的に動作する複数の処理部でそれぞれ実行した後、該複数の処理部によるシミュレーション結果ファイルを結合してもよい（請求項7）。同様に、前記シミュレーションに際して、該シミュレーションモデルを複数のファイルに分割し、該複数のファイルについてのシミュレーションを、ネットワークを介して接続された複数の処理部でそれぞれ実行した後、該複数の処理部によるシミュレーション結果ファイルを結合してもよい（請求項8）。

【0018】さらに、該ノイズ合成波形についてのノイズ解析を行ない、該ノイズ解析により前記着目配線に悪影響を与える問題配線が判明した場合、前記着目配線および該問題配線を含む配線パターンを表示部に表示し、該表示部に表示された該問題配線をポインティングデバイスにより該表示部上で移動させた場合、該ポインティングデバイスによる移動量に応じた該問題配線の実移動量を算出し、該問題配線を該実移動量だけ移動させた状態で、前記シミュレーションモデルの作成、前記シミュレーション、前記ノイズ合成波形の合成および前記ノイズチェックを再度行ない、該問題配線の移動後の前記ノイズ合成波形を該表示部に表示してもよい（請求項9）。

【0019】同様に、該ノイズ合成波形についてのノイズ解析を行ない、該ノイズ解析により前記着目配線に悪影響を与えるノイズ波形が判明した場合、該ノイズ波形を表示部に表示し、該表示部に表示された該ノイズ波形をポインティングデバイスにより該表示部上で移動させた場合、該ポインティングデバイスによる移動量に応じた該ノイズ波形のタイミング変更量を算出し、該タイミング変更量だけ該ノイズ波形の発生タイミングを動的に変化させてもよく（請求項10）、このとき、発生タイミングを動的に変化させた該ノイズ波形を用いて前記ノイズ合成波形の合成および前記ノイズチェックを再度行ない、該ノイズ波形のタイミング変更後の前記ノイズ合



成波形を該表示部に表示してもよい（請求項 11）。

【0020】前記ノイズ合成波形にリングングがのっている場合には、前記着目配線に付加することにより該リングングを解消することの可能なダンピング抵抗値を算出し、該ダンピング抵抗値に対応する候補部品データを表示部に表示し、該候補部品データの中から選択された部品を前記着目配線に付加した状態で、前記シミュレーションモデルの作成、前記シミュレーション、前記ノイズ合成波形の合成および前記ノイズチェックを再度行ない、該部品の付加後の前記ノイズ合成波形を該表示部に表示してもよい（請求項 12）。

【0021】前記ノイズ合成波形を得るに際して、ディレイばらつきを考慮した前記信号波形の最大値および最小値の時間軸方向分布を算出するとともに、ノイズ発生タイミングばらつきを考慮した前記ノイズ波形の最大値および最小値の時間軸方向分布をノイズの種類毎に算出し、前記信号波形の最大値および最小値の時間軸方向分布と前記ノイズ波形の最大値および最小値の時間軸方向分布とを合成することにより得られた最大値および最小値の時間軸方向分布を前記ノイズ合成波形として用いてもよい（請求項 13）。

【0022】この場合、前記ノイズチェックに際して、前記ノイズ合成波形の最大値および最小値の時間軸方向分布が、いずれも、チェック対象ピンでの論理的な期待値を満足しているか否かを判断する（請求項 14）。また、前記シミュレーションに際して、前記信号波形を所定条件下で 1 つだけ算出するとともに、ノイズの種類毎の前記ノイズ波形を前記所定条件下で 1 つだけ算出し、前記ノイズ合成波形を得るに際して、1 つだけ算出された前記信号波形を前記ディレイばらつきの範囲内でシフトさせることにより前記信号波形の最大値および最小値の時間軸方向分布を算出するとともに、ノイズの種類毎に、1 つだけ算出された前記ノイズ波形を前記ノイズ発生タイミングばらつきの範囲内でシフトさせることにより前記ノイズ波形の最大値および最小値の時間軸方向分布を算出してもよい（請求項 15）。

【0023】前記ノイズ波形が複数のクロックサイクルに亘って存在する場合、各クロックサイクルの同一位相における前記ノイズ波形の最大値および最小値をそれぞれ抽出することにより、前記ノイズ波形の最大値および最小値をそれぞれ一つのクロックサイクルに圧縮した最大値圧縮ノイズ波形および最小値圧縮ノイズ波形を生成し、これらの圧縮ノイズ波形を、それぞれ、前記ノイズ波形の最大値および最小値の時間軸方向分布として用いてもよい（請求項 16）。

【0024】さらに、前記ノイズチェックで前記信号波形のオーバディレイチェックを行なう場合には、前記信号波形の立ち上がり時には該信号波形に前記ノイズ波形の最小値の時間軸分布を合成して得られる波形を前記ノイズ合成波形として用いる一方、前記信号波形の立ち下

がり時には該信号波形に前記ノイズ波形の最大値の時間軸分布を合成して得られる波形を前記ノイズ合成波形として用いてもよい（請求項 17）。

【0025】同様に、前記ノイズチェックで前記信号波形のレーシングチェックを行なう場合には、前記信号波形の立ち上がり時には該信号波形に前記ノイズ波形の最大値の時間軸分布を合成して得られる波形を前記ノイズ合成波形として用いる一方、前記信号波形の立ち下がり時には該信号波形に前記ノイズ波形の最小値の時間軸分布を合成して得られる波形を前記ノイズ合成波形として用いてもよい（請求項 18）。

【0026】一方、図 1 は本発明の原理ブロック図であり、この図 1 に示すように、本発明のノイズチェック装置（請求項 19）は、回路設計に際し、設計対象回路上の着目配線を伝播する信号波形に影響を与えるノイズをチェックするための装置であって、モデル作成部 3、シミュレーション部 4、ノイズ波形合成部 5 およびノイズチェック部 6 を有して構成されている。

【0027】ここで、モデル作成部 3 は、前記着目配線に係る回路部分のシミュレーションモデルを回路情報 1 および配線情報 2 に基づいて作成するものである。シミュレーション部 4 は、モデル作成部 3 により作成されたシミュレーションモデルを用いてシミュレーションを行なうことにより、前記着目配線を伝播する信号波形を算出するとともに、その着目配線において信号波形にのるノイズ波形をノイズの種類毎に算出するものである。

【0028】ノイズ波形合成部 5 は、ノイズ波形の発生タイミングを考慮しながらシミュレーション部 4 により算出された信号波形とノイズ波形とを合成することにより、ノイズののった信号波形であるノイズ合成波形を得るものである。ノイズチェック部 6 は、ノイズ波形合成部 5 により得られたノイズ合成波形に基づいてノイズチェックを行なうものである。

【0029】このとき、前記着目配線に対する隣接配線が、折り返すことにより前記着目配線に対して電氣的に干渉しうる近接部を複数有している場合、モデル作成部 3 が、隣接配線の近接部毎に、その近接部と前記着目配線とについてシミュレーションモデルを作成し、シミュレーション部 4 が、シミュレーションモデルを用いてノイズ波形を算出し、ノイズ波形合成部 5 が、全ての近接部について算出されたノイズ波形と信号波形とを、ノイズ波形の発生タイミングを考慮しながら合成する（請求項 20）。

【0030】ノイズチェック部 6 が、ノイズ合成波形から着目配線の最大遅延時間および最小遅延時間を抽出し、これらの最大遅延時間および最小遅延時間を用いて前記着目配線におけるオーバディレイ／レーシングチェックを行なってもよい（請求項 21）。また、前記着目配線を伝播する信号波形がクロック波形である場合、ノイズチェック部 6 が、ノイズ合成波形と信号波形のハイ

レベル判定閾値／ローレベル判定閾値との交点からノイズ合成波形についてのパルス周期を算出し、パルス周期に基づき前記着目配線におけるクロック波形のパルス周期チェックを行なってもよい（請求項22）、ノイズ合成波形と信号波形のハイレベル判定閾値／ローレベル判定閾値との交点からノイズ合成波形の立ち上がり幅および立ち下がり幅を算出し、これらの立ち上がり幅および立ち下がり幅に基づき前記着目配線におけるクロック波形のパルス幅チェックを行なってもよい（請求項23）、ノイズ合成波形と信号波形のハイレベル判定閾値／ローレベル判定閾値との交点から、ノイズ合成波形が立ち上がりに要する時間およびノイズ合成波形が立ち下がり時間に要する時間を算出し、これらの時間に基づき前記着目配線におけるクロック波形の立ち上がり時間／立ち下がり時間のチェックを行なってもよい（請求項24）。

【0031】上述したシミュレーション部4を、シミュレーションモデルを複数のファイルに分割するファイル分割部と、このファイル分割部により分割された複数のファイルについてのシミュレーションを並列的に実行する複数の処理部を有する並列プロセッサと、複数の処理部によるシミュレーション結果ファイルを結合するファイル結合部とから構成してもよい（請求項25）。

【0032】同様に、上述したシミュレーション部4を、シミュレーションモデルを複数のファイルに分割するファイル分割部と、このファイル分割部により分割された複数のファイルについてのシミュレーションを並列的に実行する複数の処理部を接続するネットワークと、複数の処理部によるシミュレーション結果ファイルを結合するファイル結合部とから構成してもよい（請求項26）。

【0033】さらに、ノイズ合成波形についてのノイズ解析を行なうノイズ合成波形解析部と、このノイズ合成波形解析部により前記着目配線に悪影響を与える問題配線が判明した場合に前記着目配線および問題配線を含む配線パターンを表示する表示部と、この表示部に表示された問題配線を表示部上で移動させるためのポインティングデバイスと、このポインティングデバイスによる移動量に応じた問題配線の実移動量を算出する移動量算出部とをそなえ、問題配線を実移動量だけ移動させた状態で、モデル作成部3、シミュレーション部4、ノイズ波形合成部5およびノイズチェック部6を再度動作させ、問題配線の移動後のノイズ合成波形を表示部に表示させるように構成してもよい（請求項27）。

【0034】同様に、ノイズ合成波形についてのノイズ解析を行なうノイズ合成波形解析部と、このノイズ合成波形解析部により前記着目配線に悪影響を与えるノイズ波形が判明した場合にノイズ波形を表示する表示部と、この表示部に表示されたノイズ波形を表示部上で移動させるためのポインティングデバイスと、このポインティ

ングデバイスによる移動量に応じたノイズ波形のタイミング変更量を算出しそのタイミング変更量だけノイズ波形の発生タイミングを動的に変化させるタイミング変更量算出部とをそなえてもよく（請求項28）、このとき、ノイズ波形の発生タイミングを変化させた状態で、ノイズ波形合成部5およびノイズチェック部6を再度動作させ、ノイズ波形のタイミング変更後の前記ノイズ合成波形を該表示部に表示させてもよい（請求項29）。

【0035】前記ノイズ合成波形にリンギングがのっている場合に前記着目配線に付加することによりリンギングを解消することの可能なダンピング抵抗値を算出するダンピング抵抗値算出部と、このダンピング抵抗値算出部により算出されたダンピング抵抗値に対応する候補部品データを検索する部品検索部と、この部品検索部により検索された候補部品データを表示する表示部と、この表示部に表示された候補部品データの中から部品を選択する選択入力部とをそなえ、この選択入力部により選択された部品を前記着目配線に付加した状態で、モデル作成部3、シミュレーション部4、ノイズ波形合成部5およびノイズチェック部6を再度動作させ、部品の付加後のノイズ合成波形を表示部に表示させるように構成してもよい（請求項30）。

【0036】ノイズ波形合成部5が、ディレイばらつきを考慮した前記信号波形の最大値および最小値の時間軸方向分布を算出するとともに、ノイズ発生タイミングばらつきを考慮した前記ノイズ波形の最大値および最小値の時間軸方向分布をノイズの種類毎に算出し、前記信号波形の最大値および最小値の時間軸方向分布と前記ノイズ波形の最大値および最小値の時間軸方向分布とを合成することにより得られた最大値および最小値の時間軸方向分布を前記ノイズ合成波形として得てもよい（請求項31）。

【0037】この場合、ノイズチェック部6が、前記ノイズ合成波形の最大値および最小値の時間軸方向分布が、いずれも、チェック対象ピンでの論理的な期待値を満足しているか否かを判断することにより、ノイズチェックを行なう（請求項32）。また、シミュレーション部4が、前記信号波形を所定条件下で1つだけ算出するとともに、ノイズの種類毎の前記ノイズ波形を前記所定条件下で1つだけ算出し、ノイズ波形合成部5が、1つだけ算出された前記信号波形を前記ディレイばらつきの範囲内でシフトさせることにより前記信号波形の最大値および最小値の時間軸方向分布を算出するとともに、ノイズの種類毎に、1つだけ算出された前記ノイズ波形を前記ノイズ発生タイミングばらつきの範囲内でシフトさせることにより前記ノイズ波形の最大値および最小値の時間軸方向分布を算出してもよい（請求項33）。

【0038】前記ノイズ波形が複数のクロックサイクルに亘って存在する場合、ノイズ波形合成部5が、各クロックサイクルの同一位相における前記ノイズ波形の最大

値および最小値をそれぞれ抽出することにより、前記ノイズ波形の最大値および最小値をそれぞれ一つのクロックサイクルに圧縮した最大値圧縮ノイズ波形および最小値圧縮ノイズ波形を生成し、これらの圧縮ノイズ波形を、それぞれ、前記ノイズ波形の最大値および最小値の時間軸方向分布として用いてもよい（請求項 34）。

【0039】さらに、ノイズチェック部 6 により前記信号波形のオーバディレイチェックを行なう場合、ノイズ波形合成部 5 が、前記信号波形の立ち上がり時には信号波形に前記ノイズ波形の最小値の時間軸分布を合成して前記ノイズ合成波形を得る一方、前記信号波形の立ち下がり時には信号波形に前記ノイズ波形の最大値の時間軸分布を合成してノイズ合成波形を得てもよい（請求項 35）。

【0040】同様に、ノイズチェック部 6 により前記信号波形のレーシングチェックを行なう場合、ノイズ波形合成部 5 が、前記信号波形の立ち上がり時には信号波形に前記ノイズ波形の最大値の時間軸分布を合成して前記ノイズ合成波形を得る一方、前記信号波形の立ち下がり時には信号波形に前記ノイズ波形の最小値の時間軸分布を合成してノイズ合成波形を得る（請求項 36）。

【0041】上述した本発明のノイズチェック方法（請求項 1～18）およびノイズチェック装置（請求項 19～36）では、着目配線について回路シミュレーションモデルを作成して回路シミュレーションが行なわれ、伝送路の波形鈍り、反射ノイズ、クロストークノイズ、同期 SW（スイッチング）ノイズ等の各種ノイズが計算され、これらのノイズの発生タイミングを考慮しながら各ノイズを合成してノイズ合成波形が得られる。

【0042】そして、そのノイズ合成波形に基づいて、上記配線を含むバスについてのノイズチェック（ノイズマージンチェック、オーバディレイ／レーシングチェック、クロック信号チェック等）が行なわれる。従って、各種ノイズを考慮した実際に則した信号波形により各種ノイズを統合的にチェック・解析することが可能になる。

#### 【0043】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

#### 〔1〕第 1 実施形態の説明

図 2 は本発明の第 1 実施形態としてのノイズチェック装置の機能構成を示すブロック図であり、この図 2 に示すように、第 1 実施形態のノイズチェック装置は、回路設計に際し、設計対象回路上の着目配線（以下、着目ネットという）を伝播する信号波形に影響を与えるノイズをチェックするための装置であって、回路ネットリストデータベース 11、実装データベース 12、データ抽出部 13、回路モデル作成部 14、回路シミュレータ 15、ノイズ波形合成部 16、遅延時間ファイル 17、ノイズチェック部 18、ノイズ合成波形解析部 19 およびディ

スプレイ 20 を有して構成されている。

【0044】ここで、回路ネットリストデータベース 11 は、設計対象回路についての回路情報（ネットリスト）を予め格納するものであり、実装データベース 12 は、設計対象回路についての配線情報を予め格納するものである。データ抽出部 13 は、回路ネットリストデータベース 11 および実装データベース 12 から必要な回路情報や配線情報（着目ネットやこの着目ネットに近接するネットなどについての情報）を抽出し、回路モデル作成部 14 へ出力するものである。

【0045】回路モデル作成部（モデル作成部）14 は、データ抽出部 13 により回路ネットリストデータベース 11 および実装データベース 12 から抽出された回路情報や配線情報に基づいて、着目ネットに係る回路部分のシミュレーションモデルを作成するものである。回路シミュレータ（シミュレーション部）15 は、回路モデル作成部 14 により作成されたシミュレーションモデルを用いてシミュレーションを行なうことにより、着目ネットを伝播する信号波形を算出するとともに、その着目ネットにおいて信号波形にのるノイズ波形をノイズの種類毎に算出するものである。なお、本実施形態では、回路シミュレータ 15 は、着目ネットを伝播する信号波形（伝送路波形）を波形鈍り、反射ノイズを含んだ形で算出するとともに、クロストークノイズ、同時スイッチングノイズ等の各ノイズ波形を算出している。

【0046】ノイズ波形合成部 16 は、遅延時間ファイル 17 に格納された遅延時間を参照して各ノイズ波形が着目ポイントまでに到達する時間（つまり着目ポイントで各ノイズ波形が発生するタイミング）を考慮しながら、回路シミュレータ 15 により算出された信号波形とノイズ波形とを合成することにより、ノイズののった信号波形であるノイズ合成波形を得るものである。

【0047】遅延時間ファイル 17 は、設計対象回路における遅延時間に関する情報を予め格納するもので、例えば、着目ネットとなるあらゆるネットの始点から終点までの遅延時間や、ドライバからネットの始点までの遅延時間や、ネットの終点からレシーバまでの遅延時間などを格納するものである。ノイズチェック部 18 は、ノイズ波形合成部 16 により得られたノイズ合成波形に基づいて、例えば図 11～図 15 を参照しながら後述する手法で、オーバディレイ／レーシングチェック、クロック波形のバース周期チェック、クロック波形のバース幅チェック、クロック波形の立ち上がり時間／立ち下がり時間のチェックなどのノイズチェックを行なうものである。

【0048】ノイズ合成波形解析部 19 は、ノイズ波形合成部 16 により得られたノイズ合成波形について、ノイズマージン解析、オーバディレイ／レーシング解析等のノイズ解析を行ない、その解析結果を解析リストとして出力するほか、そのノイズ解析結果やノイズチェック

10

20

30

40

50

部18によるチェック結果を、ディスプレイ〔表示部、GD(Graphic Display)〕20に表示させる機能も有している。

【0049】上述のごとく構成された第1実施形態のノイズチェック装置では、次のようにしてノイズチェックが行なわれる。

(1-1) データ抽出部13により回路ネットリストデータベース11および実装データベース12から回路情報や配線情報を抽出し、これらの情報に基づいて回路モデル作成部14により回路シミュレーションモデルを作成する。

【0050】本実施形態の回路シミュレーションモデルには、以下の内容が含まれる。例えば、対象となるネットが、図3(a)に示すように、Dedネット〔ノイズの影響を受けるネット(着目ネット):ネットA〕とDingネット(ノイズをDedネットに与えるネット:ネットB、ネットC)とから構成される場合、回路シミュレーションモデルは、図3(b)に示すように、4つのシミュレーションモデルからなる。即ち、Dedネットについては、UP波形(立ち上がり波形)、DOWN

波形(立ち下がり波形)の2種類のシミュレーションモデル(ネットAのUP、ネットAのDN)があり、Dingネットについては、ネットB、ネットCの2つのシミュレーションモデルがある。

【0051】なお、Dingネットの数は、通常は10~100程度であるが、それ以上の場合もある。ここで、DedネットやDingネットの“D”は“disturb”の頭文字で、“Dedネット”は妨害されるネット(disturbed net)、“Dingネット”は妨害するネット(disturbing net)である。また、“立ち下がり”を意味する“DOWN”については、以下、“DN”と略記する場合がある。

【0052】(1-2) 回路シミュレータ15により、上記回路シミュレーションモデルについてシミュレーションを行ない、波形鈍り、反射ノイズ等を含む着目ネットの伝送路波形(信号波形)を求めるとともに、クロストークノイズ、同時スイッチングノイズ等の各ノイズ波形を求める。即ち、図4に示すように、上記4つのシミュレーションモデル(ファイル名: spc000.sp)について、回路シミュレータ15として機能するパソコン(PC)もしくはワークステーション(WS)により回路シミュレーションを行ない、ネットAのUP、ネットAのDN、ネットB、ネットCのノイズ解析結果(ファイル名: spc000.outlist)を得る。

【0053】なお、回路シミュレータ15は実際にはプログラム(ソフトウェア)であり、そのプログラムをパーソナルコンピュータ(以下、PCと略記)もしくはワークステーション(以下、WSと略記)上で起動・実行することにより、PCもしくはWSが回路シミュレータ15として機能するようになっている。ここで、図5に

示すように、プリント基板上において、ネット(着目ネット)①に対し平行に、このネット①に対してノイズの影響を及ぼすネット(ノイズネット)②が配線されて、区間P1-P2が最も接近した部分となっており、この区間P1-P2において、ノイズネット(隣接配線)Bが、複数回(ここでは2回)折り返すことにより着目ネットAに対して電氣的に干渉しうる近接部を複数(ここでは3つ)有している場合、回路のモデル化およびノイズシミュレーションを次のように行なうことができる。

なお、図5において、d1、d2はそれぞれ着目ネット、ノイズネットのドライバ、r1、r2はそれぞれ着目ネット、ノイズネットのレシーバである。

【0054】ネット①とネット②が最も近接した区間P1-P2に着目し、この区間P1-P2のみをノイズシミュレーションできるモデルを作成し、シミュレーションを行なう。即ち、図6(a)に示すような回路を、図6(b)に示すように、ネット①とネット②とが離れている部分(相互に電氣的に干渉しない部分)と、ネット①とネット②とが接近している部分(相互に電氣的に干渉しうる部分)とに分け、最も接近している部分のうち、2本のラインが並行する部分を1つにまとめた“Line02”としてモデル化するとともに、最も接近している部分のうち、4本のラインが並行する部分を1つにまとめた“Line04”としてモデル化する。また、ネット①とネット②とが離れている部分については、1本のライン“Line01”としてモデル化する。このようにして、回路モデル作成部14により、複数のノイズの影響を見ることが出来るモデルを作成し、回路シミュレータ15で回路シミュレーションを行なう。

【0055】しかし、図6(b)に示すごとくモデル化してノイズのシミュレーションを行なった場合、4本のラインを1つにまとめた部分“Line04”では、着目ネット①に対して影響を及ぼすラインは最も近接する1本だけとして、シミュレーションが行なわれることになる。このため、モデル“Line04”によりシミュレーションを行なって得られたノイズは、着目ネット①において実際に生じるノイズよりも小さくなり、ノイズの影響を過小評価するおそれがある。また、複数タイプのモデル(Line01、Line02、Line04)を用意する方法では、どれだけモデルを用意するか予想することが難しく、またシミュレーション時間も1回当たりの処理時間が多くかかる場合が多い。

【0056】そこで、本実施形態では、最も近接する部分をまずモデル化してシミュレーションを行ない、次に、2番目に近接する部分をモデル化、3番目、4番目と近接する部分の数分(並行するラインの本数)だけシミュレーションを行ない、全てのノイズ量を合成し評価する方法を用いることにする。即ち、図7に示すように、ノイズネット②が複数回(ここでは2回)折り返す

ことにより着目ネット①に対して電氣的に干渉しうる 3 つの近接部がノイズネット②に存在する場合、区間 P1-P2 を近接部 A, B, C に分ける。そして、まず、図 8 (a) に示すように、回路モデル作成部 14 により近接部 A の部分のみを平行モデル (Line 02) としてモデル化して回路シミュレータ 15 でシミュレーションを行ない、ついで、図 8 (b) に示すように、回路モデル作成部 14 により近接部 B の部分のみを平行モデル (Line 02) としてモデル化して回路シミュレータ 15 でシミュレーションを行なう。さらに、図 8 (c) に示すように、回路モデル作成部 14 により近接部 C の部分のみを平行モデル (Line 02) としてモデル化して回路シミュレータ 15 でシミュレーションを行なう。上記のようにして近接部毎に求めた全てのノイズ量を、ノイズ波形合成部 16 で後述のごとく合成し、その合成結果 (ノイズ合成波形) を用いてノイズチェック部 18 やノイズ合成波形解析 19 でノイズ評価を行なう。

【0057】図 6 (b) に示したモデル化手法では、最も近接する部分 (近接部 A) のみがモデル化の対象となり、他の部分 (近接部 B, C) のノイズ量が加味されないため、ノイズ評価が過小評価になる可能性があるが、図 8 (a) ~ 図 8 (c) に示したモデル化手法を用いることにより、実際のノイズよりも過小評価になることはなくなる。

【0058】また、図 6 (b) に示すように複数の平行モデル (Line 02, Line 04) を用意する場合、シミュレーション時間が多大になるが、図 8 (a) ~ 図 8 (c) に示したモデル化手法を用いた場合、1 回のシミュレーション時間が短くなるため、全体としてノイズ解析時間/ノイズチェック時間を短縮することができる。

【0059】(1-3) 回路シミュレータ 15 により得られた伝送路波形 (信号波形) とノイズ波形とを、ノイズ波形合成部 16 により合成する。その際、ノイズ波形合成部 16 は、遅延時間ファイル 17 を参照し、各ノイズの到達遅延時間を考慮して各ノイズ波形を合成する。即ち、図 9 に示すように、回路シミュレータ 15 により得られたシミュレーション結果 (ファイル名: spc000.out list) から、ノイズ合成波形を得る。

【0060】以下、図 10 (a) に示すネットを例とし、図 10 (b) ①~④を参照しながらノイズ波形合成部 16 によるノイズ合成処理について説明する。図 10 (a) において、ネット A はノイズの影響を受けるネット (Ded ネット: 着目ネット)、ネット B はノイズをネット A に与えるネット (Ding ネット) であり、ネット A の一端はドライバ DR に接続され、他端はレシーバ RV に接続されている。また、上記ネット A に平行して配置された部分をもつネット B の一端は、フリップフロップ FF を含む回路素子 L に接続されている。

【0061】ここで、ドライバ DR からレシーバ RV ま

での遅延時間を  $d_1$ 、回路素子 L のフリップフロップ FF から A 点 (ネット B の始点) までの遅延時間を  $d_2$ 、A 点からネット B、ネット A を介してレシーバ RV の入力端 (ネット A の終点) に達するまでの遅延時間を  $d_3$  とする。なお、これらの遅延時間  $d_1 \sim d_3$  は、前述した通り、遅延時間ファイル 17 に予め格納されている。

【0062】上述したネット A について波形鈍り、反射ノイズ等を考慮した回路シミュレーションにより、ドライバ DR の出力が立ち上がった場合のレシーバ RV の入力端の UP 波形 (立ち上がり波形) として、図 10

(b) ①に示す伝送路波形 (信号波形) が得られたものとする。なお、図 10 (b) の時点 0 は、ドライバ DR の出力がオンになった時点である。

【0063】また、ネット B からネット A へのクロストークノイズとして、図 10 (b) ②に示すノイズ波形 a が得られたとする。さらに、ドライバ DR における同時スイッチングノイズ (図中では同時 SW ノイズと表記する) として図 10 (b) ③に示すノイズ波形 b が得られたとする。ここで、同時スイッチングノイズとは、複数のスイッチが同時にオン状態となるに伴う電源側もしくは接地側の変動により生じるノイズである。なお、図 10 (b) ③のノイズ波形 b において、上側に凸な波形は電源側変動によるノイズ波形を示し、下側に凸な波形は接地側の変動によるノイズ波形を示している。

【0064】ノイズ波形合成部 16 は、着目ネット A の伝送路波形 (信号波形) と、ノイズ波形とが与えられると、まず、遅延時間ファイル 17 から、ネット B の A 点からネット A のレシーバ RV の入力端までの遅延時間  $d_3$  を読み出し、時点 0 を基準としてクロストークノイズ波形を図 10 (b) ②に示すように時間  $d_3$  だけずらしてから、回路素子 L のフリップフロップ FF から A 点までの遅延時間  $d_2$  を読み出し、クロストークノイズ波形を図 10 (b) ②に示すようにさらに時間  $d_2$  だけずらす。従って、ノイズ発生タイミングを考慮したクロストークノイズ波形は、図 10 (b) ②に実線で示す位置となる。

【0065】次に、ノイズ波形合成部 16 は、遅延時間ファイル 17 から、ドライバ DR からレシーバ RV までの遅延時間  $d_1$  を読み出し、同時スイッチングノイズ波形を図 10 (b) ③に示すように時間  $d_1$  だけずらす。上記のようにして遅延時間を考慮したクロストークノイズ、同時スイッチングノイズが求まると、ノイズ波形合成部 16 は、そのノイズ波形と図 10 (b) ①に示す伝送路波形 (信号波形) とを合成し、図 10 (b) ④に示すノイズ合成波形を得る。

【0066】(1-4) ノイズチェック部 18 により、上述のようにしてノイズ波形合成部 16 により得られたノイズ合成波形に対して、オーバディレイチェック、レーシングチェック等のノイズチェックを行なう。

(1-4-1) 例えば、図 11 に示すようなノイズ合成波形が

10

20

30

40

50

算出された場合、このノイズ合成波形から、着目ネットの最大遅延時間  $T_{dmax}$  および最小遅延時間  $T_{dmin}$  を取り出す。ここで、 $V_{th}$  は所定のスレッシュホールド電圧であり、図 11 に示すように、入力波形がスレッシュホールド電圧  $V_{th}$  に到達した時点からノイズ合成波形がスレッシュホールド電圧  $V_{th}$  を最初に超えた時点までの時間を最小遅延時間  $T_{dmin}$  として算出するとともに、入力波形がスレッシュホールド電圧  $V_{th}$  に到達した時点からノイズ合成波形が 2 回目にスレッシュホールド電圧  $V_{th}$  を超えた時点までの時間を最大遅延時間  $T_{dmax}$  として算出する。

【0067】そして、ノイズチェック部 18 は、上述のように算出される着目ネットの最大遅延時間  $T_{dmax}$  および最小遅延時間  $T_{dmin}$  を用いて、着目ネットにおけるオーバディレイ／レーシングチェックを行なう。例えば図 12 に示す回路について、着目ネット（始点  $x$  と終点  $y$  との間の配線）のドライバである  $LSI1$  側において、着目ネットの始点  $x$  に接続される全フリップフロップからその始点  $x$  までの最大の積算遅延時間  $T_{LSI1max}$  と最小の積算遅延時間  $T_{LSI1min}$  とを計算し、先に取り出した最大遅延時間  $T_{dmax}$  を最大積算遅延時間  $T_{LSI1max}$  に加算する一方、最小遅延時間  $T_{dmin}$  を最小積算遅延時間  $T_{LSI1min}$  に加算する。

【0068】また、 $LSI2$  側において、着目ネットの終点  $y$  から信号が到達する全てのフリップフロップまでの最大の積算遅延時間  $T_{LSI2max}$  と最小の積算遅延時間  $T_{LSI2min}$  とを計算し、 $T_{LSI2max}$  を  $T_{LSI1max} + T_{dmax}$  にさらに加算するとともに、 $T_{LSI2min}$  を  $T_{LSI1min} + T_{dmin}$  にさらに加算する。例えば、図 12 においては、フリップフロップ  $FFa$  ( $FFb$ ) から着目ネットの始点  $x$  までの最大積算遅延時間  $T_{LSI1max}$  と最小積算遅延時間  $T_{LSI1min}$  とを計算し、着目ネットの遅延時間  $T_{dmax}$ 、 $T_{dmin}$  をそれぞれ加算し、さらに、終点  $y$  から信号が到達するフリップフロップ  $FFc$  ( $FFd$ ) までの最大積算遅延時間  $T_{LSI2max}$  と最小積算遅延時間  $T_{LSI2min}$  とをそれぞれ計算して加算する。

【0069】そして、ノイズチェック部 18 においては、各到達フリップフロップにおいて求められた最大積算遅延時間 ( $T_{LSI1max} + T_{dmax} + T_{LSI2max}$ ) が次式 (1) を満たすか否かによって、オーバディレイチェックが行なわれる。また、各到達フリップフロップにおいて求められた最小積算遅延時間 ( $T_{LSI1min} + T_{dmin} + T_{LSI2min}$ ) が次式 (2) を満たすか否かによって、レーシングチェックが行なわれる。

【0070】

$$T_{LSI1max} + T_{dmax} + T_{LSI2max} \leq \tau \quad \cdots (1)$$

$$T_{LSI1min} + T_{dmin} + T_{LSI2min} > 0 \quad \cdots (2)$$

一方、クロック信号については、前述と同様にして、回路シミュレータ 15 により、クロック信号（クロック波形）が伝播するネットにおける伝送路の波形鈍りや反射ノイズ、クロストークノイズ等を計算し、ノイズ波形合

成部 16 でノイズ合成波形を合成してから、後述するごとく、ノイズチェック部 18 が、ノイズ合成波形からチェックに必要な各値を抽出し、その値を以下の式に代入してチェックを行なっている。

【0071】(1-4-2) クロック波形のパルス周期チェックに際して、ノイズチェック部 18 は、ノイズ合成波形から図 13 に示すような周期  $L_L$ ,  $L_H$ ,  $H_L$ ,  $H_H$  を抽出している。即ち、ノイズ合成波形と、信号波形のハイレベル判定閾値（電圧値） $V_{IH}$  / ローレベル判定閾値（電圧値） $V_{IL}$  との交点から、チェック対象のノイズ合成波形について、4 種類のパルス周期  $L_L$ ,  $L_H$ ,  $H_L$ ,  $H_H$  を抽出している。

【0072】ここで、周期  $L_L$  は、ノイズ合成波形が立ち上がり電圧値  $V_{IL}$  に達した時点から、ノイズ合成波形が次に立ち上がって電圧値  $V_{IL}$  に達する時点までの時間間隔である。同様に、周期  $L_H$  は、ノイズ合成波形が立ち上がり電圧値  $V_{IL}$  に達した時点から、ノイズ合成波形が次に立ち上がって電圧値  $V_{IH}$  に達する時点までの時間間隔であり、周期  $H_L$  は、ノイズ合成波形が立ち上がり電圧値  $V_{IH}$  に達した時点から、ノイズ合成波形が次に立ち上がって電圧値  $V_{IL}$  に達する時点までの時間間隔であり、周期  $H_H$  は、ノイズ合成波形が立ち上がり電圧値  $V_{IH}$  に達した時点から、ノイズ合成波形が次に立ち上がって電圧値  $V_{IH}$  に達する時点までの時間間隔である。

【0073】そして、ノイズチェック部 18 は、これらの周期  $L_L$ ,  $L_H$ ,  $H_L$ ,  $H_H$  を用い、次式 (3) によって着目ネットにおけるクロック波形のパルス周期チェックを行なう。

$$| \text{周期}_{max} - \text{周期}_{min} | \leq \text{許容値} \quad \cdots (3)$$

ただし、周期  $_{max}$  : 周期  $L_L$ ,  $L_H$ ,  $H_L$ ,  $H_H$  の中で最大の値

周期  $_{min}$  : 周期  $L_L$ ,  $L_H$ ,  $H_L$ ,  $H_H$  の中で最小の値

(1-4-3) クロック波形のパルス幅チェックに際して、ノイズチェック部 18 は、ノイズ合成波形から図 14 に示すような値（時間間隔） $Thw_{LL}$ ,  $Thw_{LH}$ ,  $Thw_{HL}$ ,  $Thw_{HH}$ ,  $Tlw_{LL}$ ,  $Tlw_{LH}$ ,  $Tlw_{HL}$ ,  $Tlw_{HH}$  を抽出している。即ち、ノイズ合成波形と信号波形のハイレベル判定閾値（電圧値） $V_{IH}$  / ローレベル判定閾値（電圧値） $V_{IL}$  との交点から、チェック対象のノイズ合成波形について、4 種類の立ち上がり幅（波形がハイレベルになっている時間間隔） $Thw_{LL}$ ,  $Thw_{LH}$ ,  $Thw_{HL}$ ,  $Thw_{HH}$  と、4 種類の立ち下がり幅（波形がローレベルになっている時間間隔） $Tlw_{LL}$ ,  $Tlw_{LH}$ ,  $Tlw_{HL}$ ,  $Tlw_{HH}$  を抽出している。

【0074】ここで、値  $Thw_{LL}$  は、ノイズ合成波形が立ち上がり電圧値  $V_{IL}$  に達した時点から、その後ノイズ合成波形が立ち下がり電圧値  $V_{IL}$  に達する時点までの時間間隔であり、値  $Thw_{LH}$  は、ノイズ合成波

10

20

30

40

50

形が立ち上がり電圧値  $V_{IL}$  に達した時点から、その後ノイズ合成波形が立ち下がり電圧値  $V_{IH}$  に達する時点までの時間間隔であり、値  $Thw_{HL}$  は、ノイズ合成波形が立ち上がり電圧値  $V_{IH}$  に達した時点から、その後ノイズ合成波形が立ち下がり電圧値  $V_{IL}$  に達する時点までの時間間隔であり、値  $Thw_{HH}$  は、ノイズ合成波形が立ち上がり電圧値  $V_{IH}$  に達した時点から、その後ノイズ合成波形が立ち下がり電圧値  $V_{IH}$  に達する時点までの時間間隔である。

【0075】同様に、値  $Tw_{LL}$  は、ノイズ合成波形が立ち下がり電圧値  $V_{IL}$  に達した時点から、その後ノイズ合成波形が立ち上がり電圧値  $V_{IL}$  に達する時点までの時間間隔であり、値  $Tw_{LH}$  は、ノイズ合成波形が立ち下がり電圧値  $V_{IL}$  に達した時点から、その後ノイズ合成波形が立ち上がり電圧値  $V_{IH}$  に達する時点までの時間間隔であり、値  $Tw_{HL}$  は、ノイズ合成波形が立ち下がり電圧値  $V_{IL}$  に達した時点から、その後ノイズ合成波形が立ち上がり電圧値  $V_{IH}$  に達する時点までの時間間隔であり、値  $Tw_{HH}$  は、ノイズ合成波形が立ち下がり電圧値  $V_{IH}$  に達した時点から、その後ノイズ合成波形が立ち上がり電圧値  $V_{IH}$  に達する時点までの時間間隔である。

【0076】そして、ノイズチェック部 18 は、これらの値  $Thw_{LL}$ ,  $Thw_{LH}$ ,  $Thw_{HL}$ ,  $Thw_{HH}$ ,  $Tw_{LL}$ ,  $Tw_{LH}$ ,  $Tw_{HL}$ ,  $Tw_{HH}$  を用い、次式 (4) ~ (11) によって着目ネットにおけるクロック波形のパルス周期チェックを行なう。

$$Thw_{LL} \geq \text{許容値 1} \quad \dots (4)$$

$$Thw_{LH} \geq \text{許容値 2} \quad \dots (5)$$

$$Thw_{HL} \geq \text{許容値 3} \quad \dots (6)$$

$$Thw_{HH} \geq \text{許容値 4} \quad \dots (7)$$

$$Tw_{LL} \geq \text{許容値 5} \quad \dots (8)$$

$$Tw_{LH} \geq \text{許容値 6} \quad \dots (9)$$

$$Tw_{HL} \geq \text{許容値 7} \quad \dots (10)$$

$$Tw_{HH} \geq \text{許容値 8} \quad \dots (11)$$

(1-4-4) クロック波形の立ち上がり時間/立ち下がり時間のチェックに際して、ノイズチェック部 18 は、ノイズ合成波形から図 15 に示すような値  $T_r$ ,  $T_f$  を抽出している。即ち、ノイズ合成波形と、信号波形のハイレベル判定閾値 (電圧値)  $V_{IH}$  / ローレベル判定閾値 (電圧値)  $V_{IL}$  との交点から、チェック対象のノイズ合成波形について、ノイズ合成波形が立ち上がり要する時間  $T_r$  およびノイズ合成波形が立ち下がり要する時間  $T_f$  を抽出している。

【0077】ここで、時間  $T_r$  は、ノイズ合成波形が立ち上がり電圧値  $V_{IL}$  に達した時点から、さらにノイズ合成波形が立ち上がり電圧値  $V_{IH}$  に達する時点までの時間間隔であり、時間  $T_f$  は、ノイズ合成波形が立ち下がり電圧値  $V_{IH}$  に達した時点から、さらにノイズ合成波形が立ち下がり電圧値  $V_{IL}$  に達する時点までの

時間間隔である。

【0078】そして、ノイズチェック部 18 は、これらの値  $T_r$ ,  $T_f$  を用い、次式 (12), (13) によって着目ネットにおけるクロック波形の立ち上がり時間/立ち下がり時間のチェックを行なう

$$T_r \leq \text{許容値 9} \quad \dots (12)$$

$$T_f \leq \text{許容値 10} \quad \dots (13)$$

(1-5) 一方、本実施形態のノイズチェック装置では、ノイズ合成波形解析部 19 により、ノイズ合成波形についてノイズマージン解析、ディレイ/レーシング解析等が行なわれ、その解析結果は、解析リストとして出力される。このノイズ合成波形解析部 19 は、例えば、ネット間距離、ダンピング抵抗等の回路パラメータを変更した時のノイズ波形への影響等を解析し、ノイズによる問題を解決する。

【0079】また、上述したノイズチェック部 18 によるチェック結果やノイズ合成波形解析部 19 によるノイズ解析結果は、ノイズ合成波形解析部 19 の表示制御機能によって、ディスプレイ 20 に表示され、設計者は、ディスプレイ 20 を参照することにより、指定した着目ネットについてのノイズチェック結果やノイズ解析結果を確認することができる。

【0080】このように、本発明の第 1 実施形態では、遅延時間を考慮してノイズ合成波形を求めて、ノイズチェックを行なうようにしているので、各種ノイズの発生タイミングを考慮した実際に則した信号波形により各種ノイズを統合的にチェック/解析することが可能になり、ノイズ計算精度が大幅に向上するとともにノイズチェック精度も大幅に向上するほか、ノイズチェックに要する時間を大幅に短縮でき、しかも、ノイズ解析における設計者への負担を軽減して作業効率を大幅に向上させることができる。

【0081】〔1-A〕第 1 実施形態の第 1 変形例の説明

図 16 は本発明の第 1 実施形態の第 1 変形例のノイズチェック装置の機能構成を示すブロック図であり、この第 1 変形例では、並列プロセッサを利用して回路シミュレーションを行なう例を示している。なお、図 16 中、既述の符号と同一の符号は同一の部分もしくはほぼ同一の部分を示しているので、その説明は省略する。

【0082】図 16 に示すように、第 1 変形例のノイズチェック装置は、図 2 に示した回路シミュレータ 15 の部分を、ファイル分割部 22、並列プロセッサ 23、ファイル結合部 24 に置き換えた以外は、図 2 に示したノイズチェック装置と同様に構成されている。ここで、ファイル分割部 22 は、回路モデル作成部 14 で作成されたシミュレーションモデルファイル [例えば図 17

(a) 参照] を複数のファイル [例えば図 17 (b) に示すような 4 つのファイル] に分割するものである。

【0083】並列プロセッサ 23 は、例えば図 18 に示

10

20

30

40

50

すように、複数の処理部（CPU、ノード）を有し、ファイル分割部22により分割された複数のファイルについての回路シミュレーションを複数の処理部において並列的に実行し、その回路シミュレーション結果を複数のファイル〔例えば図18参照〕として出力するものである。

【0084】ファイル結合部24は、例えば図19に示すごとく、並列プロセッサ23から出力された複数のシミュレーション結果ファイルを結合することにより、一つの回路シミュレーション結果ファイルを作成してノイズ波形合成部16へ受け渡すものである。上述のごとく構成された第1実施形態の第1変形例のノイズチェック装置では、次のようにしてノイズチェックが行なわれる。

【0085】(1-A-1) 第1実施形態と同様、データ抽出部13により、回路ネットリストデータベース11および実装データベース12から回路情報や配線情報を抽出し、回路モデル作成部14により回路シミュレーションモデルを作成する。このとき、対象となるネットが、例えば図3(a)に示すようにネットA（Deadネット）とネットB、ネットC（Dingネット）とから構成される場合には、回路シミュレーションモデルは、第1実施形態と同様、図3(b)に示す4つのシミュレーションモデルからなる。

(1-A-2) ファイル分割部22は、シミュレーションのために使用する並列プロセッサ23のノード数に応じて、回路モデル作成部14で作成されたシミュレーションモデルを分割する。

【0086】例えば、回路シミュレーションモデルのファイル（ファイル名spc000.sp）が、図17(a)に示すように、ネットAのUP/DN、ネットBおよびネットCから構成され、並列プロセッサ23のノード数が図18に示すように4である場合、ファイル分割部22は、ファイルspc000.spを、図17(b)に示すように、ファイルspc000.sp001（ネットAのUP）、ファイルspc000.sp002（ネットAのDN）、ファイルspc000.sp003（ネットB）、ファイルspc000.sp004（ネットC）の4つに分割する。

【0087】(1-A-3) 並列プロセッサ23の4つのノード（処理部）により、ファイル分割部22で分割された4つの回路シミュレーションモデルについてシミュレーションを並列的に実行し、波形純り、反射ノイズを含む伝送路波形（信号波形）とともに、クロストークノイズ、同時スイッチングノイズ等の各種ノイズ波形を求める。

【0088】即ち、図18に示すように、分割された4つのファイルを並列プロセッサ23に渡し、この並列プロセッサ23の各ノードにおいて、回路シミュレータを起動してシミュレーションを行なうことにより、4つのシミュレーション結果ファイル（ファイル名spc000.sp0

01.out～spc000.sp004.out）を得る。

(1-A-4) ファイル結合部24により、並列プロセッサ23からの4つのシミュレーション結果ファイルを結合して一つに統合することにより回路シミュレーション結果を得て、その回路シミュレーション結果から、ノイズ波形合成部16によりノイズ合成波形を得る。

【0089】即ち、図19に示すように、4つのシミュレーション結果ファイル（ファイル名spc000.sp001.out～spc000.sp004.out）をマージすることにより一つのシミュレーション結果ファイルspc000.sp.outを得る。そして、ノイズ波形合成部16は、第1実施形態と同様、遅延時間ファイル17を参照しながら上記シミュレーション結果として得られた各ノイズ波形を合成する。

【0090】(1-A-5) 以下、詳細に説明しないが、この第1変形例においても、第1実施形態と同様にして、ノイズチェック部18により、ノイズ波形合成部16で得られたノイズ合成波形について、オーバディレイチェック、レーシングチェック等のノイズチェックが行なわれるほか、ノイズ合成波形解析部19により、そのノイズ合成波形についてのノイズ解析が行なわれ、そのノイズチェック結果やノイズ解析結果がディスプレイ20に表示される。

【0091】このように、第1実施形態の第1変形例では、回路シミュレーションモデルファイルを分割し、並列プロセッサ23の複数の処理部でシミュレーションを並列的に行なっているため、処理時間を大幅に短縮することができる。

〔1-B〕本実施形態の第2変形例の説明

図20は本発明の第1実施形態の第2変形例としてのノイズチェック装置の機能構成を示すブロック図であり、この第2変形例では、ネットワーク上に接続されたPC（パーソナルコンピュータ）あるいはWS（ワークステーション）を利用して回路シミュレーションを行なう例を示している。なお、図20中、既述の符号と同一の符号は同一の部分もしくはほぼ同一の部分を示しているため、その説明は省略する。

【0092】図20に示すように、第2変形例のノイズチェック装置は、図2に示した回路シミュレータ15の部分、ファイル分割部22、ネットワーク25（図22参照）上の複数のPC/WS27、ファイル結合部24に置き換えた以外は、図2に示したノイズチェック装置と同様に構成されている。ここで、ファイル分割部22は、第1変形例のものと同様、回路モデル作成部14で作成されたシミュレーションモデルファイル〔例えば図21(a)参照〕を複数のファイル〔例えば図21(b)に示すような2つのファイル〕に分割するものである。

【0093】PC/WS27は、CPUを有し、処理部（ノード）として機能するもので、例えば22に示すようにネットワーク25上に複数そなえられている。これ

10

20

30

40

50



らのPC/WS 27は、ファイル分割部22により分割された複数のファイルについての回路シミュレーションを並列的に実行し、その回路シミュレーション結果をファイル【例えば図22参照】として出力するものである。

【0094】ファイル結合部24は、第1変形例のものと同様、例えば図23に示すごとく、並列プロセッサ23から出力された複数のシミュレーション結果ファイルを結合することにより、一つの回路シミュレーション結果ファイルを作成してノイズ波形合成部16へ受け渡すものである。上述のごとく構成された第1実施形態の第2変形例のノイズチェック装置では、次のようにしてノイズチェックが行なわれる。

【0095】(1-B-1) 第1実施形態と同様、データ抽出部13により、回路ネットリストデータベース11および実装データベース12から回路情報や配線情報を抽出し、回路モデル作成部14により回路シミュレーションモデルを作成する。このとき、対象となるネットが、例えば図3(a)に示すようにネットA(Dedネット)とネットB、ネットC(Dingネット)とから構成される場合には、回路シミュレーションモデルは、第1実施形態と同様、図3(b)に示す4つのシミュレーションモデルからなる。

【0096】(1-B-2) ネットワーク25上のPC/WS 27の中で利用可能なものの数(ノード数/CPU数)を得て、その数に応じて、ファイル分割部22は、回路モデル作成部14で作成されたシミュレーションモデルを分割する。例えば、回路シミュレーションモデルのファイル(ファイル名spc000.sp)が、図21(a)に示すように、ネットAのUP/DN、ネットBおよびネットCから構成され、ネットワーク25上で利用可能なPC/WS 27の数(ノード数)が2である場合、ファイル分割部22は、ファイルspc000.spを、図21(b)に示すように、ファイルspc000.sp001(ネットAのUP, DN)とファイルspc000.sp002(ネットB、ネットC)との2つに分割する。

【0097】(1-B-3) ネットワーク25上のPC/WS 27により、ファイル分割部22で分割された2つの回路シミュレーションモデルについてシミュレーションを並列的に実行し、波形鈍り、反射ノイズを含む伝送路波形(信号波形)とともに、クロストークノイズ、同時スイッチングノイズ等の各種ノイズ波形を求める。即ち、図22に示すように、分割された2つのファイルを、共有ファイル26からネットワーク25を介して2つのPC/WS 27(PC1, WS2)に送信し、各ノード(PC1, WS2)において、回路シミュレータを起動してシミュレーションを行なうことにより、2つのシミュレーション結果ファイル(ファイル名spc000.sp001.out, spc000.sp002.out)を得る。これらのシミュレーション結果ファイルは、各ノード(PC1, WS2)から

ネットワーク25を介して共有ディスク26へ返信される。

【0098】(1-B-4) ファイル結合部24により、ネットワーク25上のPC/WS 27からの2つのシミュレーション結果ファイルを結合して一つに統合することにより回路シミュレーション結果を得て、その回路シミュレーション結果から、ノイズ波形合成部16によりノイズ合成波形を得る。即ち、図23に示すように、2つのシミュレーション結果ファイル(ファイル名spc000.sp001.out, spc000.sp002.out)をマージすることにより一つのシミュレーション結果ファイルspc000.sp.outを得る。そして、ノイズ波形合成部16は、第1実施形態と同様、遅延時間ファイル17を参照しながら上記シミュレーション結果として得られた各ノイズ波形を合成する。

【0099】(1-B-5) 以下、詳細に説明しないが、この第2変形例においても、第1実施形態と同様にして、ノイズチェック部18により、ノイズ波形合成部16で得られたノイズ合成波形について、オーバディレイチェック、レーシングチェック等のノイズチェックが行なわれるほか、ノイズ合成波形解析部19により、そのノイズ合成波形についてのノイズ解析が行なわれ、そのノイズチェック結果やノイズ解析結果がディスプレイ20に表示される。

【0100】このように、第1実施形態の第2変形例では、回路シミュレーションモデルファイルを分割し、ネットワーク25上の複数のPC/WSを処理部として用いシミュレーションを並列に行なっているので、処理時間を大幅に短縮することができる。

〔1-C〕第1実施形態の第3変形例の説明

ところで、上述したノイズチェック/ノイズ解析において、例えば、環状のネットの配置・配線位置によっては、配線位置を変更してノイズによる問題を解決しなくてはならない場合が生じる。

【0101】このような場合、どの位置まで配線(ネット)を移動すれば、問題が解決するかをディスプレイ画面上で直ちに確認することができれば、設計者はこのような問題を容易に解決することができる。図24は本発明の第1実施形態の第3変形例としてのノイズチェック装置の機能構成を示すブロック図であり、この第3変形例では、マウス等のポインティングデバイスを用いて、ディスプレイ画面上で配線を移動させたとき、ノイズ合成波形がどのように変化するかをダイナミックに表示できるようにし、上記問題を容易に解析できるようにしている。なお、図24中、既述の符号と同一の符号は同一の部分もしくはほぼ同一の部分を示しているので、その説明は省略する。

【0102】図24に示すように、第3変形例のノイズチェック装置は、図2に示したものに、さらに、ネット移動量算出部28およびポインティングデバイス30を

追加して構成されている。ただし、第3変形例のノイズ合成波形解析部19は、ノイズ解析により着目ネットに悪影響を与えるノイズネット（問題配線）を解明した場合、その着目ネットやノイズネットを含む配線パターンを解析結果としてディスプレイ20の画面上に表示させる表示制御機能を有している。

【0103】ポインティングデバイス30は、例えば、パーソナルコンピュータにおいて入力手段としてオペレータにより操作されるマウス等であり、このポインティングデバイス30を設計者が操作（ドラッグ）することにより、ディスプレイ20に表示されたノイズネット（問題配線）を、図25（a1）～図25（a3）に示すごとく、ディスプレイ20の画面上で移動させることができるようになっている。

【0104】また、ネット移動量算出部28は、ポインティングデバイス30による移動量に応じたノイズネットの実移動量を算出するものである。そして、この第3変形例のノイズチェック装置は、ネット移動量算出部28により算出された実移動量だけノイズネットを移動させた状態で、回路モデル作成部14、回路シミュレータ15、ノイズ波形合成部16、ノイズチェック部18およびノイズ合成波形解析部19を再度動作させ、ノイズネット移動後のノイズ合成波形を、ディスプレイ20に表示するように構成されている。

【0105】次に、上述のごとく構成された第1実施形態の第3変形例のノイズチェック装置の動作について、図25（a1）～図25（a3）および図25（b1）～図25（b3）を参照しながら説明する。なお、図25（a1）～図25（a3）は、いずれも、ノイズネット移動時の表示例を示す図であり、図25（b1）～図25（b3）は、それぞれ、図25（a1）～図25（a3）に対応したノイズ合成波形の表示例を示す図である。

【0106】（I-C-1）データ抽出部13により、回路ネットリストデータベース11および実装データベース12から回路情報や配線情報を抽出し、回路モデル作成部14により回路シミュレーションモデルを作成する。（I-C-2）回路シミュレータ15により、上記回路シミュレーションモデルについてシミュレーションを行ない、波形鈍り、反射ノイズ等を含む着目ネットの伝送路波形（信号波形）を求めるとともに、クロストークノイズ、同時スイッチングノイズ等の各ノイズ波形を求める。

【0107】（I-C-3）第1実施形態と同様、回路シミュレータ15により得られた伝送路波形（信号波形）とノイズ波形とを、ノイズ波形合成部16により、各ノイズの遅延時間（各ノイズの発生タイミング）を考慮しながら合成し、ノイズ合成波形を得る。

（I-C-4）ノイズチェック部18により、ノイズ波形合成部16により得られたノイズ合成波形に対して、オーバディレイチェック、レーシングチェック等のノイズチェ

ックを行なう。

【0108】（I-C-5）ノイズ合成波形解析部19により、着目ネットについて得られたノイズ合成波形のノイズ解析を行ない、その解析結果をディスプレイ20の画面上に表示する。

（I-C-6）問題のあるネット（前述のノイズネット）が存在すると、設計者は、着目ネットに影響を及ぼしているそのネットを、ディスプレイ20の画面上でマウス等のポインティングデバイス30によりドラッグして移動させる。

【0109】ディスプレイ20の画面上では、図25（a1）～図25（a3）に示すような、ノイズネットを含む配線パターン図（実装設計システム図）と、図25（b1）～図25（b3）に示すような、そのノイズネットについてのノイズ波形を示すノイズ波形図とが、例えば2つのウィンドウで表示されている。ノイズ解析直後、ディスプレイ20の画面上には、図25（a1）に示すような配線パターン図とともに図25（b1）に示すようなノイズ波形図（問題のあるネットのノイズ波形）が表示されるので、設計者は、これらの表示を参照し、ポインティングデバイス30によりノイズネットNxをドラッグし、そのノイズネットNxを、例えば図25（a1）に示す位置A1から図25（a2）に示す位置A2まで移動させる。なお、ノイズネットNxが着目ネットNに近い位置A1に配置されている場合、ディスプレイ20の画面上におけるノイズ波形図では、図25（b1）に示すように、ノイズネットNxのノイズ波形ピークP1が閾値電圧Vthを超えていることが示されている。

【0110】（I-C-7）ポインティングデバイス30によりノイズネットNxがディスプレイ20の画面上で位置A1から位置A2まで移動されると、ネット移動量演算部28は、そのポインティングデバイス30による移動量から、ノイズネットNxの回路上での実移動量を算出する。そして、データ抽出部13により、位置を変更したノイズネットNxの配線情報を回路ネットリストデータベース11および実装データベース12から取り出し、その配線情報と実移動量とに基づいて、そのノイズネットNxについての移動後の配線情報を求める。

【0111】（I-C-8）回路モデル作成部14は、移動後のネット間距離（着目ネットNとノイズネットNxとの距離）に基づいて、前回作成した回路シミュレーションモデルを更新する。

（I-C-9）回路シミュレータ15は、配置変更されたノイズネットNxについてのみノイズ波形を計算し直し、ノイズ波形合成部16は、変更前のノイズ波形情報に代えて今回計算した変更後のノイズ波形情報を合成し、ノイズネットNxの移動後のノイズ合成波形を得る。

【0112】（I-C-10）ノイズ合成波形解析部19により、ノイズネットNxの移動後のノイズ合成波形につい

て解析を行ない、図 25 (b 2) に示すように、ディスプレイ 20 の画面上においてネット移動後のノイズ波形を表示する。なお、このとき、図 25 (b 2) に示すノイズ波形図では、未だノイズネット Nx のノイズ波形ピーク P 2 が閾値電圧 Vth を超えており、そのネット Nx が着目ネット N について問題のネットであることが示されている。

【0113】(I-C-11) 上述のようにノイズネット Nx を移動させても未だ問題が解決されてない場合、設計者は、再び、ポインティングデバイス 30 によりノイズネット Nx をドラッグし、そのノイズネット Nx を、例えば図 25 (a 2) に示す位置 A 2 から、さらに図 25 (a 3) に示す位置 A 3 まで移動させる。このようにノイズネット Nx がディスプレイ 20 の画面上で移動されると、項目 (I-C-7) ~ (I-C-10) にて前述した手順で、ノイズネット Nx の移動後のノイズ合成波形とノイズ波形とがそれぞれ表示される。

【0114】(I-C-12) 項目 (I-C-7) ~ (I-C-11) にて上述した処理は、問題が解決するまで繰り返し実行される。例えば図 25 (a 1) ~ 図 25 (a 3) に示す例では、ノイズネット Nx を図 25 (a 3) に示す位置 A 3 まで移動することにより、図 25 (b 3) に示すノイズ波形図がディスプレイ 20 の画面上に表示される。この図 25 (b 3) に示すノイズ波形図では、ネット Nx のノイズ波形ピーク P 3 が閾値電圧 Vth よりも小さくなり、そのネット Nx が着目ネット N に対して悪影響を与えなくなったことが示されている。設計者は、この図 25 (b 3) に示すノイズ波形図を参照することにより、着目ネット N における問題が解決されたことを認識する。

【0115】以上のようにして、ネット Nx を移動する位置が確定すると、回路ネットリストデータベース 11 および実装データベース 12 に新たなネット位置に関する情報が格納される。このように、第 1 実施形態の第 3 変形例では、平行配線部をドラッグして移動した位置のノイズ波形をダイナミックかつリアルタイムで表示することにより、ノイズ問題が発生しなくなる配線位置まで、問題配線 (ノイズネット) を素早く移動させることができる。

【0116】また、変更が加わったネットのみを回路シミュレータ 15 で解析することで、その他の関連するネットの解析時間を全て省くことができ、大幅に解析時間を短縮することができる。なお、この第 3 変形例による手法は、前述した第 1 変形例や第 2 変形例にも上述と同様に適用できることは言うまでもない。

【0117】(I-D) 第 1 実施形態の第 4 変形例の説明

図 26 は本発明の第 1 実施形態の第 4 変形例としてのノイズチェック装置の機能構成を示すブロック図であり、この第 4 変形例では、マウス等のポインティングデバイスを用いて、ディスプレイ画面上でノイズ波形を移動さ

せたとき、ノイズ合成波形がどのように変化するかをダイナミックに表示できるようにし、ノイズによる問題を容易に解析できるようにしている。なお、図 26 中、既述の符号と同一の符号は同一の部分もしくはほぼ同一の部分を示しているため、その説明は省略する。

【0118】図 26 に示すように、第 4 変形例のノイズチェック装置は、図 2 に示したものに、さらに、タイミング変更量算出部 29 およびポインティングデバイス 30 を追加して構成されている。ただし、第 4 変形例のノイズ合成波形解析部 19 は、ノイズ解析により着目ネットに悪影響を与えるノイズ波形を解明した場合、そのノイズ波形を示す波形図を解析結果としてディスプレイ 20 の画面上に表示させる表示制御機能を有している。

【0119】ポインティングデバイス 30 は、前述した第 3 変形例と同様、例えば、パーソナルコンピュータにおいて入力手段としてオペレータにより操作されるマウス等であり、このポインティングデバイス 30 を設計者が操作 (ドラッグ) することにより、ディスプレイ 20 に表示されたノイズ波形を、図 28 に示すごとく、ディスプレイ 20 の画面上で時間軸方向に移動させることができるようになっていく。

【0120】また、タイミング変更量算出部 29 は、ポインティングデバイス 30 による移動量に応じたノイズ波形のタイミング変更量 (遅延時間の変更量) を算出し、ノイズ波形合成部 16 で後述するごとく再合成を行なう際に、そのノイズ波形の発生タイミングを、算出されたタイミング変更量だけ動的に変化させるものである。

【0121】そして、この第 4 変形例のノイズチェック装置は、タイミング変更量だけ発生タイミングを変更されたノイズ波形を用いてノイズ波形合成部 16 によりノイズ波形の再合成を行なわせるとともに、ノイズチェック部 18 およびノイズ合成波形解析部 19 を再度動作させ、ノイズ波形のタイミング変更後のノイズ合成波形を、ディスプレイ 20 に表示するように構成されている。

【0122】次に、上述のごとく構成された第 1 実施形態の第 4 変形例のノイズチェック装置の動作について、図 27 ~ 図 29 を参照しながら説明する。なお、図 27 はノイズ波形の表示例を示す図、図 28 はノイズ波形の移動時の表示例を示す図、図 29 はノイズ波形移動時のノイズ合成波形の表示例を示す図である。

(I-D-1) データ抽出部 13 により、回路ネットリストデータベース 11 および実装データベース 12 から回路情報や配線情報を抽出し、回路モデル作成部 14 により回路シミュレーションモデルを作成する。

【0123】(I-D-2) 回路シミュレータ 15 により、上記回路シミュレーションモデルについてシミュレーションを行ない、波形純り、反射ノイズ等を含む着目ネットの伝送路波形 (信号波形) を求めるとともに、クロスト

10

20

30

40

50

ークノイズ、同時スイッチングノイズ等の各ノイズ波形を求める。

(1-D-3) 第1実施形態と同様、回路シミュレータ15により得られた伝送路波形(信号波形)とノイズ波形とを、ノイズ波形合成部16により、各ノイズの遅延時間(各ノイズの発生タイミング)を考慮しながら合成し、ノイズ合成波形を得る。

【0124】(1-D-4) ノイズチェック部18により、ノイズ波形合成部16により得られたノイズ合成波形に対して、オーバディレイチェック、レーシングチェック等のノイズチェックを行なう。

(1-D-5) ノイズ合成波形解析部19により、着目ネットについて得られたノイズ合成波形のノイズ解析を行ない、その解析結果をディスプレイ20の画面上に表示する。

【0125】(1-D-6) ノイズ解析の結果、問題のあるノイズ波形〔つまり問題のあるDingネットがDedネット(着目ネット)にのせるノイズ波形〕が存在する場合、そのノイズ波形が、例えば図27に示すようなノイズ波形図として、ディスプレイ20の画面上に表示される。このとき、図27に示すノイズ波形図には、そのノイズ波形にかかるDingネットを駆動するドライバの入力遅延時間(以下、ディレイという;図27では10ns)が、時間軸とともに表示される。なお、図27ではノイズ波形NW1を1つのみ表示しているが、問題のあるノイズ波形が複数存在する場合には、複数のノイズ波形を全てディスプレイ20の画面上に表示する。

【0126】(1-D-7) 設計者は、ディスプレイ20の画面上のノイズ波形図を参照し、ディレイを変化させたいDingネットのノイズ波形NW1を、ポインティングデバイス30でクリックして選択し、ついでポインティングデバイス30のボタンを押下しながらドラッグして、選択したノイズ波形NW1を、例えば図28に示すように、ディスプレイ20の画面上で所望の時間だけ時間軸方向に移動させる。なお、図28に示すノイズ波形NW2は、ノイズ波形NW1のディレイを大きくするようにノイズ波形NW1を移動させたものであり、図28に示すノイズ波形NW3は、ノイズ波形NW1のディレイを小さくするようにノイズ波形NW1を移動させたものである。

【0127】(1-D-8) 設計者は、上述のようにノイズ波形を移動させてから、再合成メニューをポインティングデバイス30で選択すると、自動的にノイズ波形の再合成が行なわれ、その再合成結果が、図29に示すように、ディスプレイ20の画面上に表示される。このとき、再合成メニューを選択すると、タイミング変更量算出部29により、ポインティングデバイス30による移動量に応じたノイズ波形NW1のタイミング変更量(ディレイの変更量)が算出されてノイズ波形合成部16に通知される。そして、ノイズ波形合成部16において、

ノイズ波形NW1のディレイ(発生タイミング)を、タイミング変更量算出部29からのタイミング変更量に応じたディレイ(発生タイミング)に動的に変化させ、そのノイズ波形NW1のみについて新たなディレイを用いて再合成を行ない、ノイズ波形NW1のタイミング変更後のノイズ合成波形を得る。

【0128】(1-D-9) ノイズ合成波形解析部19により、ノイズ波形NW1のディレイ変更後のノイズ合成波形について解析を行ない、そのノイズ合成波形が、図29に示すように、ディレイ変更前のノイズ合成波形とともに、ディスプレイ20の画面上に表示される。図29に示すディレイ変更前のノイズ合成波形では、ピークP4が閾値電圧Vthに到達しているために問題が生じているが、ノイズ変更後のノイズ合成波形では、ピークP5が低くなり、問題が解消されている。

【0129】(1-D-10) 上述のようにノイズ波形NW1を移動させても未だ問題が解決されてない場合、設計者は、再び、ポインティングデバイス30によりノイズ波形NW1を移動させるか、他のノイズ波形を移動させるかして、問題の解消を試みる。この場合も、項目(1-D-7)～(1-D-9)にて前述した手順で、ノイズ波形移動後のノイズ合成波形がそれぞれ表示される。

【0130】(1-D-11) 項目(1-D-7)～(1-D-10)にて上述した処理は、問題が解決するまで繰り返し実行される。このように、第1実施形態の第4変形例では、着目ネットに影響を及ぼしているノイズ波形をディスプレイ20の画面上で移動させた時に、その移動量に応じたタイミング変更量だけノイズ波形の発生タイミング(入力ディレイタイミング)を動的にリアルタイムで変化させることができるので、遅延時間ファイル17の変更を行なう必要がなく、工数を大幅に削減することができる。従来、ディレイを変更してノイズ合成を行なう場合、ディレイ条件を変化させるために遅延時間ファイル17の変更を行なうなどの手間がかかったが、第1実施形態の第4変形例では、その必要が無くなる。

【0131】さらに、ディレイ条件を変化させた場合、回路シミュレーションを最初から行なわなければならなかったが、第1実施形態の第4変形例では、再合成メニューで簡易的にノイズの再合成を行なうことができ、回路シミュレーションを再度行なうことなく、ノイズ波形の発生タイミングを変化させた状態でのノイズ合成波形を得てリアルタイムで表示することができる。従って、前述した第3変形例と同様、ノイズ解析を容易にすることができ、設計者の工数を削減して設計者への負担を軽減し、作業効率をさらに向上させることができる。

【0132】〔1-E〕第1実施形態の第5変形例の説明

ノイズ合成波形にリングングが乗っている場合、例えば図31に示すように、ドライバ素子Dとレシーバ素子R1～R3との間のネットに、直列にダンピング抵抗(R

a, Rb) を挿入することにより、そのリンギングのエラーを解消できることが一般に知られている。しかし、どのような抵抗を挿入したらよいかという判断は、設計者の経験に頼っているのが現状である。

【0133】そこで、第1実施形態の第5変形例のノイズチェック装置は、最適なダンピング抵抗値を設計者に提示できるようにし、設計者の負担を軽減できるようにしたものである。即ち、後述するごとく、第1実施形態の第5変形例のノイズチェック装置は、リンギングの乗っているノイズ合成波形とドライバの種類とから最適なダンピング抵抗値を算出する機能（最適ダンピング抵抗値算出部）と、登録されている抵抗素子の中から算出した抵抗値に最も近い値をもつ抵抗素子の候補を検索・選択する機能（抵抗部品検索部）と、その候補素子を挿入した場合のノイズ合成波形を表示する機能（再ノイズ計算／合成部）とをそなえ、最適なダンピング抵抗値を設計者に提示できるように構成されている。

【0134】図30は本発明の第1実施形態の第5変形例としてのノイズチェック装置の機能構成を示すブロック図である。なお、図30中、既述の符号と同一の符号は同一の部分もしくはほぼ同一の部分を示しているの

で、その説明は省略する。図30に示すように、第5変形例のノイズチェック装置は、回路ネットリストデータベース11、実装データベース12、ポインティングデバイス（選択入力部）30、最適ダンピング抵抗値算出部31、抵抗部品検索部32、部品ライブラリ33および再ノイズ計算／合成部34を有して構成されている。

【0135】ただし、回路ネットリストデータベース11、実装データベース12およびディスプレイ20は、第1実施形態で説明したものと同様のものであり、また、再ノイズ計算／合成部34は、実際には、図2に示した回路モデル作成部14、回路シミュレータ15、ノイズ波形合成部16、遅延時間ファイル17、ノイズチェック部18およびノイズ合成波形解析部19によって構成されている。

【0136】ここで、最適ダンピング抵抗値算出部31は、ノイズ合成波形にリンギングがのっている場合に、着目ネットに付加することによりリンギングを解消することの可能な最適なダンピング抵抗値を、そのノイズ合成波形とドライバの種類とに基づいて算出するものである。抵抗部品検索部32は、部品ライブラリ33に予め登録されている抵抗素子（抵抗部品）の中から、最適ダンピング抵抗値算出部31にて算出した抵抗値に最も近い値をもつ抵抗素子の候補（候補部品）を検索・選択するものである。

【0137】また、抵抗部品検索部32により検索された抵抗素子の候補に関する情報（候補部品データ）は、ディスプレイ20に表示されるようになっている。そして、設計者は、ポインティングデバイス（選択入力部）30を操作することにより、ディスプレイ20に表示さ

れた抵抗素子の候補の中から所望のものを選択できるようになっている。

【0138】再ノイズ計算／合成部34は、前述した通り、回路モデル作成部14、回路シミュレータ15、ノイズ波形合成部16、遅延時間ファイル17、ノイズチェック部18およびノイズ合成波形解析部19を有し、ポインティングデバイス30により選択された抵抗素子を着目ネットに付加・挿入した状態で、回路モデル作成部14、回路シミュレータ15、ノイズ波形合成部16、遅延時間ファイル17、ノイズチェック部18およびノイズ合成波形解析部19を動作させることにより、その抵抗素子を挿入した後のノイズ合成波形を得て、そのノイズ合成波形をディスプレイ20に表示させるものである。

【0139】次に、上述のごとく構成された第1実施形態の第5変形例のノイズチェック装置の動作について、図30～図32を参照しながら説明する。なお、図31はダンピング抵抗の挿入を説明するための図、図32はダンピング抵抗の値とノイズ合成波形の変化との例を示す図である。

(1-E-1) ノイズ合成波形にリンギングがのっており、そのリンギングによりエラーが生じる場合、最適ダンピング抵抗値算出部31により、例えば図32に符号A0で示すようなリンギングが乗っているノイズ合成波形と、回路ネットリストデータベース11や実装データベース12から得られる着目ネットのドライバ素子の種類および基板の特性インピーダンスと、そのドライバ素子で駆動されるレシーバの種類および数とに基づいて、着目ネットに挿入することによりリンギングを確実に解消できる最適なダンピング抵抗値が算出される。

【0140】(1-E-2) 抵抗部品検索部32により、部品ライブラリ33から、上述のようにして算出された最適なダンピング抵抗値に近い抵抗値をもつ抵抗部品が、複数個検索され、候補部品データとしてディスプレイ20上に表示される。

(1-E-3) 設計者は、ディスプレイ20上に表示された上記候補部品データから挿入すべき、抵抗部品つまりダンピング抵抗を、ポインティングデバイス30により選択する。ここでは、例えば図31や図32に示すダンピング抵抗Raを選択したものとす。

【0141】(1-E-4) 再ノイズ計算／合成部34においては、設計者により選択されて抵抗部品（ダンピング抵抗Ra）を回路モデルに挿入した新しい回路シミュレーションモデルを回路モデル作成部14で作成する。そして、図2にて説明した第1実施形態の例と同様に、その新しい回路シミュレーションモデルを入力にして回路シミュレータ15により新しい伝送路波形（信号波形）とノイズ波形とを算出し、これらの伝送路波形とノイズ波形とをノイズ波形合成部16により合成して新しいノイズ合成波形を得る。この新しいノイズ合成波形は、例え

ば、図 3 2 に符号 A で示すような波形であり、ディスプレイ 2 0 上に表示される。

【0142】(1-E-5) このようにディスプレイ 2 0 に表示された新しいノイズ合成波形が、満足できないものである場合、設計者は前記候補部品データから他の抵抗値のダンピング抵抗、例えば R b を選択する。これにより、上述と同様にして、再ノイズ計算／合成部 3 4 は、新たに選択されたダンピング抵抗 R b について、新しい伝送路波形とノイズ波形とを算出し、これらの伝送路波形とノイズ波形とを合成して新しいノイズ合成波形を得る。この新しいノイズ合成波形は、例えば、図 3 2 に符号 B で示すような波形であり、ディスプレイ 2 0 上に表示される。

【0143】(1-E-6) 以上の操作を繰り返し、部品ライブラリ 3 3 に用意されているダンピング抵抗の中から、最適なものを見つけ出す。これにより、例えば抵抗 R b を挿入した時の、図 3 2 に符号 B で示すノイズ合成波形のように、ノイズの影響が小さい波形を得ることができる。このように、第 1 実施形態の第 5 変形例では、最適なダンピング抵抗の候補を提示し、選択されたダンピング抵抗を挿入したときのノイズ合成波形を表示するようにしたので、ダンピング抵抗の選定に際しての設計者の負担を軽減し、作業効率をさらに向上させることができる。

#### 【0144】〔2〕第 2 実施形態の説明

さて、本発明の第 2 実施形態としてのノイズチェック装置は、図 2 に示した第 1 実施形態のものと同様に構成されているので、その構成の図示は省略する。ただし、第 2 実施形態のノイズ波形合成部 1 6 は、回路シミュレータ 1 5 で得られた信号波形とノイズ波形との合成を行なう際、ディレイばらつきを考慮した信号波形の最大値および最小値の時間軸方向分布を算出するとともに、ノイズ発生タイミングばらつきを考慮したノイズ波形の最大値および最小値の時間軸方向分布をノイズの種類毎に算出し、信号波形の最大値および最小値の時間軸方向分布とノイズ波形の最大値および最小値の時間軸方向分布とを合成することにより得られた最大値および最小値の時間軸方向分布をノイズ合成波形として得る。

【0145】このとき、ノイズ波形合成部 1 6 は、回路シミュレータ 1 5 により所定条件下で 1 つだけ算出された信号波形を、ディレイばらつきの範囲内でシフトさせることにより、信号波形の最大値および最小値の時間軸方向分布を算出する。同様に、ノイズ波形合成部 1 6 は、回路シミュレータ 1 5 により所定条件下でノイズの種類毎に 1 つだけ算出されたノイズ波形を、ノイズ発生タイミングばらつきの範囲内でシフトさせることにより、ノイズ波形の最大値および最小値の時間軸方向分布を算出する。

【0146】また、信号波形のオーバディレイチェックを行なう場合、ノイズ波形合成部 1 6 は、信号波形の立

ち上がり時には信号波形にノイズ波形の最小値の時間軸分布を合成してノイズ合成波形を得る一方、信号波形の立ち下がり時には信号波形にノイズ波形の最大値の時間軸分布を合成してノイズ合成波形を得る。逆に、信号波形のレーシングチェックを行なう場合、ノイズ波形合成部 1 6 が、信号波形の立ち上がり時には信号波形にノイズ波形の最大値の時間軸分布を合成してノイズ合成波形を得る一方、信号波形の立ち下がり時には信号波形にノイズ波形の最小値の時間軸分布を合成してノイズ合成波形を得る。

【0147】なお、第 2 実施形態のノイズ波形合成部 1 6 によるノイズ波形合成手法の詳細については図 3 3、図 3 7、図 3 9、図 4 0、図 4 2 を参照しながら後述する。一方、ノイズ波形が複数のクロックサイクルに亘って存在する場合、第 2 実施形態のノイズ波形合成部 1 6 は、各クロックサイクルの同一位相におけるノイズ波形の最大値および最小値をそれぞれ抽出することにより、ノイズ波形の最大値および最小値をそれぞれ一つのクロックサイクルに圧縮した最大値圧縮ノイズ波形および最小値圧縮ノイズ波形を生成し、これらの圧縮ノイズ波形を、それぞれ、ノイズ波形の最大値および最小値の時間軸方向分布として用いている。このノイズ圧縮手法の詳細については、図 3 5、図 3 6 および図 4 2 を参照しながら後述する。さらに、第 2 実施形態のノイズチェック部 1 8 は、ノイズ波形合成部 1 6 により得られたノイズ合成波形の最大値および最小値の時間軸方向分布が、いずれも、チェック対象ピンでの論理的な期待値を満足しているか否かを判断することにより、ノイズチェックを行なう。そのノイズチェック手法の詳細については、図 3 4、図 3 8 および図 4 1 を参照しながら後述する。

【0148】次に、上述のような本発明の第 2 実施形態としてのノイズチェック装置の動作について、図 3 3 ～図 4 2 を参照しながら説明する。第 2 実施形態（第 1 実施形態も同様）では、複数のノード間で電圧信号を伝播する手段として、導電性を有する媒体（配線パターン）を使用する装置を想定する。そして、第 2 実施形態では、上述の導電性媒体間で発生するクロストークノイズや、各ノードに発生する同時スイッチングノイズや電源／グラウンドバウンスを、回路シミュレーションと数式計算とにより求めた後、これらの各種ノイズの波形合成やそのノイズによる誤動作の有無の判定を、以下のようにして行なっている。

【0149】(2-1) 第 2 実施形態のノイズ波形合成部 1 6 によって行なわれるノイズ波形合成の基本的な手順について、図 3 3 (a) ～図 3 3 (c)、図 4 2 (a) および図 4 2 (b) を参照しながら説明する。

(2-1-1) 着目ネットを通じて信号を受信するノード入力（レシーバ）において、各種のノイズ波形とノード間の信号伝播波形（つまり着目ネットの信号波形）とを、回路シミュレータ 1 5 における回路シミュレーションまた

は数式計算によって、ある指定された条件のもとで計算し格納しておく。この条件には、信号を出力するノードのドライバ回路のスイッチング（立ち上がり／立ち下がり）、プロセス条件、温度、装置に供給される電源電圧などが含まれる。

【0150】(2-1-2) 誤動作を判定すべきレシーバにおいて真に発生しうる最大／最小ノイズ電圧の時間軸方向分布  $N_{Dmax} / N_{Dmin}$  を算出する。クロストークノイズについて最大／最小ノイズ電圧の時間軸方向の分布  $N_{Dmax} / N_{Dmin}$  を算出した例を図 33 (b) に示す。電圧分布  $N_{Dmax} / N_{Dmin}$  を算出するに当たって、レシーバの受信クロックとノイズ源とが同期の関係にある場合は、ノイズ波形のレシーバ受信クロックに対するタイミングを考慮し、非同期の関係にある場合は、ノイズ波形の最大値または最小値を使用しタイミングは考慮しない。

【0151】同期の関係にあるノイズ電圧の分布を算出する場合には、信号の出力ノードにおけるディレイばらつき（ノイズの発生タイミングのばらつき）を考慮する。このとき、回路シミュレーションや数式計算の回数を最小限にするため、先に算出して格納しておいたノイズ波形を、図 33 (b) に示すごとく、タイミングばらつきの範囲でシフトさせ、またスイッチング条件毎の波形を加算することによりレシーバにおいて真に発生しうるノイズ電圧の任意の時間における最大値  $N_{Dmax}$  と最小値  $N_{Dmin}$  とを算出する。

【0152】なお、ディレイばらつきには、プロセスばらつきのほか、電源電圧変動や温度変動によるばらつきを含ませることができる。一方、非同期の関係にあるノイズ電圧の分布を算出する場合には、タイミングについては一切考慮せずに、ノイズ波形の最大値または最小値を使用する。例えば、図 42 (a) に示すようにクロックと非同期にノイズが生じている場合（ $0 \sim n\tau$ ； $\tau$  はクロックサイクル）には、 $0 \sim n\tau$  の間におけるノイズピーク値  $V_{npk}$  を抽出し、図 42 (b) に示すように、そのノイズピーク値  $V_{npk}$  を時間軸方向に一様に分布させたものをノイズ波形（圧縮ノイズ波形）として用いる。

【0153】(2-1-3) 誤動作を判定すべきレシーバにおいて発生する信号伝播波形（信号波形）の任意の時間における最大値／最小値の時間軸方向分布  $S_{Dmax} / S_{Dmin}$  を算出する。この電圧分布  $S_{Dmax} / S_{Dmin}$  を算出する場合には、信号の出力ノードにおけるディレイばらつきを考慮する。このとき、ノイズについての時間軸方向分布  $N_{Dmax} / N_{Dmin}$  を算出する場合と同様、回路シミュレーションや数式計算の回数を最小限にするため、先に算出して格納しておいたノード間の信号波形を、図 33 (a) に示すごとく、タイミングばらつきの範囲でシフトさせることにより、信号波形の最大値／最小値の時間軸方向分布  $S_{Dmax} / S_{Dmin}$  を算出する。

なお、図 33 (a) では、立ち上がり波形（UP 波形）の例が図示されている。

【0154】(2-1-4) 上述のごとく算出された最大／最小ノイズ電圧の時間軸方向分布  $N_{Dmax} / N_{Dmin}$  と信号伝播波形の最大値／最小値の時間軸方向分布  $S_{Dmax} / S_{Dmin}$  とを図 33 (c) に示すように合成することにより、伝送波形にノイズが重畳された場合の電圧の最大値／最小値の時間軸方向分布  $D_{max} / D_{min}$  がノイズ合成波形として算出される。

10 【0155】(2-2) ノイズチェック部 18 は、上述のごとく算出された最大値／最小値の時間軸方向分布  $D_{max} / D_{min}$  が、レシーバ入力ピンの任意の受信クロックタイミングでのセットアップ／ホールド期間における論理的な期待値を満足しているか否かを判断することにより、ノイズチェックを行なっている。その期待値を満足していない場合には警告等を発生する。

20 【0156】図 33 (a) ～図 33 (c) により前述した手法で算出された時間軸方向分布  $D_{max} / D_{min}$  に対してノイズチェックを行なった例について、図 34 および図 38 を参照して説明する。ここでは、例えば図 38 に示すように、データ入力（着目ネットの入力ピン p1、クロック用の入力ピン p2）から着目フリップフロップ FF（FF 入力ピン p3、クロック入力ピン p4）までのパスが展開できる場合（着目ネットのレシーバが例えば LSI であるような場合）について説明する。

30 【0157】このとき、クロック用の入力ピン p2 から FF のクロック入力ピン p4 までの遅延時間を  $T_{clkin}$  とすると、図 34 に示すように、ノイズチェックで用いるクロック位相  $T_{phaseFF}$  は、入力ピン p2 までのクロック位相  $T_{phaseI0}$  に遅延時間  $T_{clkin}$  を加算したものと（ $T_{phaseFF} = T_{phaseI0} + T_{clkin}$ ）となる。また、入力ピン p1 から FF 入力ピン p3 までの遅延時間を  $T_{pdin}$  とすると、図 34 に示すように、ノイズチェックの対象となる信号波形（立ち上がり波形＋クロストークノイズ波形）は、図 34 に破線で示す LSI 入力ピン p1 でのノイズ合成波形を、図 34 に実線で示すごとく、LSI 入力ピン p1 から FF 入力ピン p3 までの遅延時間  $T_{pdin}$  だけずらしたものとなる。

40 【0158】そして、クロック位相前後のセットアップ期間およびホールド期間において、最大値／最小値の時間軸方向分布  $D_{max} / D_{min}$  の両方が、各クロック位相での期待値を満足しているかを判断することにより、ノイズチェックが行なわれる。つまり、L 期待のクロック位相では、セットアップ期間およびホールド期間のいずれにおいても、時間軸方向分布  $D_{max} / D_{min}$  がローレベル判定閾値電圧  $V_{IL}$  以下である必要があり、これを満たしていない場合、スタートクロックについてはレーシングエラーが発生するものと判断される。

50 【0159】また、H 期待のクロック位相では、セットアップ期間およびホールド期間のいずれにおいても、時

間軸方向分布  $D_{\max} / D_{\min}$  がハイレベル判定閾値電圧  $V_{IH}$  以上である必要があり、これを満たしていない場合には、受信クロックについてはオーバーディレイエラーが発生するものと判断される。図 34 に示す例では、最小値の時間方向分布  $D_{\min}$  の一部が、H 期待のクロック位相（受信クロック）のセットアップ期間においてハイレベル判定閾値電圧  $V_{IH}$  未満となっているために、オーバーディレイエラーが発生すると判断されることになる。

【0160】(2-3) 各種のノイズ（クロストークノイズ、同時スイッチングノイズ等）は、ノイズが複数のクロックサイクルに亘って伝搬する場合を扱えるようにするために、ノイズ波形が収束するまでの時間だけ計算される。また、各種ノイズの重なり合うワースト条件を容易に検出できるようにするために、複数サイクルのノイズ波形を 1 サイクルに圧縮する。

【0161】例えば図 35 に示すように、着目ネット \*

$$VN_{\max}(tphase) = \sum VN_{dj}(tphase)_{\max} \quad \cdots (14)$$

ここで、 $\sum$  は、 $j$  についての総和を意味し、 $VN_{dj}(tphase)_{\max} > 0$  である場合のみ加算を行なうものとする。また、 $VN_{dj}(tphase)_{\max}$  は、下式 (15) により定義され

$$VN_{dj}(tphase)_{\max} = \max[VN_{dix}(tphase + i\tau - tpd)] \quad \cdots (15)$$

つまり、 $VN_{dj}(tphase)_{\max}$  は、 $t_{\min} < tpd < t_{\max}$ 、かつ、 $-m \leq i \leq n$ 、かつ、 $x = UP$  または  $DN$  の範囲内における最大値である。同様に、一側圧縮ノイズ波形（最小値圧縮ノイズ波形）のクロック位相  $tphase$  にお

$$VN_{\min}(tphase) = \sum VN_{dj}(tphase)_{\min} \quad \cdots (16)$$

ここで、 $\sum$  は、 $j$  についての総和を意味し、 $VN_{dj}(tphase)_{\min} < 0$  である場合のみ加算を行なうものとする。ま

$$VN_{dj}(tphase)_{\min} = \min[VN_{dix}(tphase + i\tau - tpd)] \quad \cdots (17)$$

つまり、 $VN_{dj}(tphase)_{\min}$  は、 $t_{\min} < tpd < t_{\max}$ 、かつ、 $-m \leq i \leq n$ 、かつ、 $x = UP$  または  $DN$  の範囲内における最大値である。

【0165】なお、着目した  $d\text{-ing}$  ネットが複数の出力ピン（または双方向ピン）を有する場合、これらの出力ピン（または双方向ピン）に接続された出力回路のスイッチングによって位相  $tphase$  において得られる複数のノイズ値のうちの最大値および最小値を、それぞれ、着目した  $d\text{-ing}$  ネットの位相  $tphase$  における + 側圧縮ノイズ波形および - 側圧縮ノイズ波形として用いる。

【0166】また、前述したように、図 42 (a) に示すようにクロックと非同期にノイズが生じている場合には、 $0 \sim n\tau$  の間におけるノイズピーク値  $V_{npk}$  を抽出し、図 42 (b) に示すように、そのノイズピーク値  $V_{npk}$  を時間軸方向に一様に分布させたものを圧縮ノイズ波形として用いる。(2-4) 各種ノイズの合成例を図 37 (a) ~ 図 37 (g) に示す。ここでは、例えば、①図 37 (a) に示すような  $LSI$  のドライバ同時スイッチングノイズと、②図 37 (b) に示すような  $LSI$  のレシーバ同時スイッチングノイズと、③図 37 (c)

\* が、複数の  $d\text{-ing}$  ネット（前述した  $D\text{-ing}$  ネットと同じ） $d\text{-ing-1}, d\text{-ing-2}, \dots, d\text{-ing-j}, \dots, d\text{-ing-p}$  から、複数のノイズ波形  $VN_{d1U}(t\text{-tpd}), VN_{d1D}(t\text{-tpd}), VN_{d2U}(t\text{-tpd}), VN_{d2D}(t\text{-tpd}), \dots, VN_{djx}(t\text{-tpd}), \dots, VN_{dpU}(t\text{-tpd})$  の影響を複数のクロックサイクルに亘って受ける場合、第 2 実施形態のノイズ波形合成部 16 は、これらのノイズ波形を下式 (14) ~ (17) により一つのクロックサイクル  $\tau$  に圧縮して図 36 に示すような圧縮ノイズ波形を算出し、この圧縮ノイズ波形を最大/最小ノイズ電圧値の時間軸方向分布  $ND_{\max} / ND_{\min}$  として用いている。なお、図 35 中で “x” は、そのノイズのスイッチング方向（SW 方向）が  $UP$ （立ち上がり）、 $DN$ （立ち下がり）のいずれか一方であることを意味している。

【0162】このとき、+ 側圧縮ノイズ波形（最大値圧縮ノイズ波形）のクロック位相  $tphase$  におけるノイズ値  $VN_{\max}(tphase)$  は、下式 (14) により算出される。

【0163】

★ するノイズ値  $VN_{\min}(tphase)$  は、下式 (16) により算出される。

【0164】

☆ た、 $VN_{dj}(tphase)_{\min}$  は、下式 (17) により定義される。

に示すような平行配線パターンクロストークノイズ + 交差配線クロストークノイズと、④図 37 (d) に示すような  $VIA$  クロストークノイズ、終端抵抗同時スイッチングノイズ、コネクタクロストークノイズ、ケーブルクロストークノイズ、DC ノイズなどを含む一様分布のノイズとが圧縮ノイズ波形として得られたものとする。

【0167】この場合、図 37 (a) ~ 図 37 (d) に示す 4 種類のノイズ波形を合成し、図 37 (e) に示すような合成ノイズ波形を得てから、この合成ノイズ波形を図 37 (f) に示すような着目ネットの伝送波形（ここでは立ち上がり波形）に合成することにより、図 37 (g) に示すようなノイズ合成波形を得る。そして、そのノイズ合成波形に対して前述したノイズチェックを行なう。

【0168】なお、合成ノイズ波形と伝送波形（信号波形）とを合成する際、立ち上がり伝送波形のオーバーディレイチェックを行なう場合には、図 37 (g) に示すように、図 37 (f) に示す立ち上がり伝送波形に、図 37 (e) に示す合成ノイズ波形の - 側圧縮ノイズ波形を加算することにより、ノイズ波形の合成を行なう。ま

10

20

40

50



た、立ち下がり伝送波形のオーバディレイチェックを行なう場合には、立ち下がり伝送波形に合成ノイズ波形の+側圧縮ノイズ波形を加算することにより、ノイズ波形の合成を行なう。一方、立ち上がり伝送波形のレーシングチェックを行なう場合には、立ち上がり伝送波形に合成ノイズ波形の+側圧縮ノイズ波形を加算することにより、ノイズ波形の合成を行なう。また、立ち下がり伝送波形のレーシングチェックを行なう場合には、立ち下がり伝送波形に合成ノイズ波形の-側圧縮ノイズ波形を加算することにより、ノイズ波形の合成を行なう。

【0169】(2-5) 着目ネット入力ピンの伝送波形(信号波形)の計算は、以下のような単発波形計算と繰り返し波形計算との2種類があり、配線条件に応じて設計者が計算方法およびパラメータ等を指定できるようになっている。なお、繰り返し波形計算は、配線条件と動作速度とから考えて必要と判断される場合に、設計者の指示によって行なわれる。

【0170】図39(a)には、単発波形計算によって得られた、5τ分の立ち上がり伝送波形(UP波形)が示されている。このとき、図39(b)に示すような圧縮ノイズ波形(1τ分)が得られている場合、図39(a)に示す立ち上がり伝送波形の1サイクル幅τ毎に、図39(b)に示す圧縮ノイズ波形(ここでは一側)を合成してノイズチェックを行なう。

【0171】図40(a)には、繰り返し波形計算によって得られた、5τ分の伝送波形が示されている。このとき、図40(b)に示すような圧縮ノイズ波形(1τ分)が得られている場合、図40(a)に示す伝送波形の1サイクル幅τ毎に、図40(b)に示す圧縮ノイズ波形を合成してノイズチェックを行なう。

(2-6) 伝送波形がスイッチングを繰り返す場合のノイズチェック(ノイズとクロックとの位相関係のチェック)について、図41を参照して説明する。

【0172】ノイズとクロックとのタイミング判定は、図34においても前述した通り、クロック位相前後において誤動作を生じる可能性のある範囲(セットアップ期間TLMNおよびホールド期間TTMN;図41参照)に、期待値を満たさない波形が存在するか否かによって行なわれる。セットアップ期間TLMNおよびホールド期間TTMNは下式(18)、(19)によって定義される。

$$\begin{aligned} TLMN &= Ts + Tmargins & \cdots (18) \\ TTMN &= Th + Tmarginh & \cdots (19) \end{aligned}$$

ここで、Tsは着目入力ピンのセットアップタイム、Thは着目入力ピンのホールドタイム、Tmargins および Tmarginh は、それぞれ、設計者によって指定されるセットアップ用マージンおよびホールド用マージンである。

【0174】なお、図41に示すタイミング判定では、

τ、2τ、3τの時点で、伝送波形が、H期待を満たしていないため、NG判定となっている。(2-7) 上述したノイズチェック手法を論理設計ツールと連携させ、回路図エントリ段階で、回路シミュレーションによる仮想配線のベースノイズ/ディレイ検証を行なうことにより、基板設計の最上流側で反射ノイズおよびディレイを考慮した配置条件/配線条件を決定することができる。

【0175】また、上述したノイズチェック手法をパターンエディタと連携させ、実配線/実配置段階でノイズ/ディレイ検証を行なうことにより、実配線段階で反射ノイズ、クロストークノイズやディレイを確認しながら、会話形式で詳細な配置/配線条件を決定することができる。さらに、上述したノイズチェック手法により、実配線/実配置作業を完了した回路(基板全体)上のクリティカルなネット全てを対象にして、ノイズおよびディレイの最終検証を行なうことにより、検討漏れや設計ミスによる問題を検証することができる。

【0176】このように、本発明の第2実施形態によれば、ディレイばらつきを考慮した信号波形の最大値/最小値の時間軸方向分布SDmax/SDminと、ノイズ発生タイミングばらつきを考慮した最大/最小ノイズ電圧値の時間軸方向分布NDmax/NDminとを合成して得られた最大値/最小値の時間軸方向分布Dmax/Dminを、ノイズ合成波形として用いることにより、2つのノイズ合成波形(最大値および最小値の時間軸方向分布)だけで、ディレイばらつきおよびノイズ発生タイミングばらつきを加味したノイズチェックが可能になり、ノイズ計算精度が大幅に向上するとともにノイズチェック精度も大幅に向上する。

【0177】また、ノイズ波形が複数のクロックサイクルに亘って存在する場合、各クロックサイクルの同一位相におけるノイズ波形の最大値および最小値をそれぞれ抽出して圧縮した圧縮ノイズ波形を用いることにより、各種ノイズの重なり合う際のワースト条件を容易に検出でき、ノイズ計算精度やノイズチェック精度の向上に寄与するだけでなく、処理時間を短縮することもできる。

【0178】〔3〕その他

なお、本発明は上述した実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、本発明の実施形態では、本発明をLSIやプリント基板等の電子回路の設計時に適用した場合について説明しているが、本発明は、これに限定されるものではなく、光信号を伝播する装置にも適用され、上述した実施形態と同様の作用効果を得ることができる。

【0179】

【発明の効果】以上詳述したように、本発明のノイズチェック方法(請求項1~18)およびノイズチェック装置(請求項19~36)によれば、以下のような効果ないし利点を得ることができる。

(1) シミュレーションを行なって波形鈍り、反射ノイズ、クロストークノイズ、同期スイッチングノイズ等の各種ノイズを計算し、これらのノイズの発生タイミングを考慮しながら各ノイズを合成してノイズ合成波形を得て、そのノイズ合成波形に基づいて、上記配線を含むバスについてのノイズチェックを行なっている。従って、各種ノイズを考慮した実際に則した信号波形により各種ノイズを統合的にチェック／解析することが可能になり、ノイズ計算精度が大幅に向上するとともにノイズチェック精度も大幅に向上するほか、ノイズチェックに要する時間を大幅に短縮でき、しかも、ノイズ解析における設計者への負担を軽減して作業効率を大幅に向上させることができる(請求項1, 3~6, 19, 21~24)。

【0180】(2) 着目配線に対する隣接配線が複数の近接部を有している場合、各近接部と前記着目配線とについてシミュレーションを行なってノイズ波形を算出し、全ての近接部について算出されたノイズ波形と信号波形とを、該ノイズ波形の発生タイミングを考慮しながら合成することにより、これらの近接部からのノイズを実際のノイズよりも過小評価することなく且つ短時間で、ノイズ合成波形に加味することができる(請求項2, 20)。

【0181】(3) シミュレーションモデルを分割し、並列プロセッサもしくはネットワーク上の複数の処理部を利用してシミュレーションを並列的に実行することにより、処理時間を大幅に短縮することができる(請求項7, 8, 25, 26)。

(4) 着目配線に影響を及ぼしている問題配線を表示部上で移動させた時に移動後のノイズ合成波形をリアルタイムで表示したり(請求項9, 27)、ダンピング抵抗値の候補を求めて提示し、ダンピング抵抗値に対応する部品を選択して着目配線に付加したときのノイズ合成波形を表示したりすることにより(請求項12, 30)、ノイズ解析を容易にすることができ、設計者の工数削減して設計者への負担を軽減し、作業効率をさらに向上させることができる。

【0182】(5) 着目配線に影響を及ぼしているノイズ波形を表示部上で移動させた時に、その移動量に応じたタイミング変更量だけノイズ波形の発生タイミング(入力ディレイタイミング)を動的にリアルタイムで変化させることができるので、遅延時間ファイルの変更を行なう必要がなく、工数を大幅に削減することができる(請求項10, 28)。さらに、シミュレーションを再度行なうことなく、ノイズ波形の発生タイミングを変化させた状態でのノイズ合成波形を得てリアルタイムで表示することができるので、ノイズ解析を容易にすることができ、設計者の工数を削減して設計者への負担を軽減し、作業効率をさらに向上させることができる(請求項11, 29)。

【0183】(6) ディレイばらつきを考慮した信号波形の最大値および最小値の時間軸方向分布と、ノイズ発生タイミングばらつきを考慮したノイズ波形の最大値および最小値の時間軸方向分布とを合成して得られた最大値および最小値の時間軸方向分布を、ノイズ合成波形として用いることにより、2つのノイズ合成波形(最大値および最小値の時間軸方向分布)だけで、ディレイばらつきおよびノイズ発生タイミングばらつきを加味したノイズチェックが可能になり、ノイズ計算精度が大幅に向上するとともにノイズチェック精度も大幅に向上する(請求項13, 14, 17, 18, 31, 32, 35, 36)。

【0184】(7) シミュレーションで得られた信号波形をディレイばらつきの範囲内でシフトするとともにシミュレーションで得られた各ノイズ波形をノイズ発生タイミングばらつきの範囲内でシフトすることにより、シミュレーションや合成演算の実行回数を最小限に抑えながら、信号波形や各ノイズ波形の最大値および最小値の時間軸方向分布を算出できるので、設計者の工数を大幅に削減しながら、ノイズ計算精度やノイズチェック精度の向上に寄与する(請求項15, 33)。

【0185】(8) ノイズ波形が複数のクロックサイクルに亘って存在する場合、各クロックサイクルの同一位相におけるノイズ波形の最大値および最小値をそれぞれ抽出して圧縮した圧縮ノイズ波形を用いることにより、各種ノイズの重なり合う際のワースト条件を容易に検出でき、ノイズ計算精度やノイズチェック精度の向上に寄与するだけでなく、処理時間の短縮にも寄与する(請求項16, 34)。

#### 【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の第1実施形態としてのノイズチェック装置の機能構成を示すブロック図である。

【図3】(a)はDe d ネット, Ding ネット構成例を示す図、(b)は(a)に示す例についてのシミュレーションモデルの配列の一例を示す図である。

【図4】第1実施形態における回路シミュレーション処理のイメージを示す図である。

【図5】着目ネットに影響を及ぼすネットが配置されたプリント基板の一例を示す図である。

【図6】(a), (b)は図5に示すネットのモデル化の一例を説明するための図である。

【図7】図5に示すプリント基板の近接部を3つの部分A, B, Cに分けた例を説明するための図である。

【図8】(a)~(c)は図5に示すネットのモデル化の他例を説明するための図である。

【図9】第1実施形態におけるノイズ合成処理のイメージを示す図である。

【図10】(a), (b)はいずれも第1実施形態におけるノイズ合成を説明するための図であり、(a)はノ

イズ合成対象のネットパターンを示す図、(b)は第1実施形態におけるノイズ合成手順を説明するためのタイムチャートである。

【図11】第1実施形態においてノイズ合成波形から最大遅延時間および最小遅延時間を算出する手法を説明するための図である。

【図12】第1実施形態においてオーバディレイ/レーシングチェックの対象となる回路の一例を示す図である。

【図13】第1実施形態におけるクロック波形のバルス周期チェックを説明するための図である。

【図14】第1実施形態におけるクロック波形のバルス幅チェックを説明するための図である。

【図15】第1実施形態におけるクロック波形の立ち上がり時間/立ち下がり時間のチェックを説明するための図である。

【図16】本発明の第1実施形態の第1変形例としてのノイズチェック装置の機能構成を示すブロック図である。

【図17】(a)、(b)は第1実施形態の第1変形例におけるファイル分割(ノード数4)を説明するための図である。

【図18】第1実施形態の第1変形例における回路シミュレーションを説明するための図である。

【図19】第1実施形態の第1変形例におけるシミュレーション結果のマージ処理およびノイズ合成処理のイメージを示す図である。

【図20】本発明の第1実施形態の第2変形例としてのノイズチェック装置の機能構成を示すブロック図である。

【図21】(a)、(b)は第1実施形態の第2変形例におけるファイル分割(ノード数2)を説明するための図である。

【図22】第1実施形態の第2変形例における回路シミュレーションを説明するための図である。

【図23】第1実施形態の第2変形例におけるシミュレーション結果のマージ処理およびノイズ合成処理のイメージを示す図である。

【図24】本発明の第1実施形態の第3変形例としてのノイズチェック装置の機能構成を示すブロック図である。

【図25】(a1)～(a3)はいずれも第1実施形態の第3変形例におけるネット移動時の表示例を示す図、(b1)～(b3)はそれぞれ(a1)～(a3)に対応したノイズ合成波形の表示例を示す図である。

【図26】本発明の第1実施形態の第4変形例としてのノイズチェック装置の機能構成を示すブロック図である。

【図27】第1実施形態の第4変形例におけるノイズ波形の表示例を示す図である。

【図28】第1実施形態の第4変形例におけるノイズ波形の移動時の表示例を示す図である。

【図29】第1実施形態の第4変形例におけるノイズ波形移動時のノイズ合成波形の表示例を示す図である。

【図30】本発明の第1実施形態の第5変形例としてのノイズチェック装置の機能構成を示すブロック図である。

【図31】第1実施形態の第5変形例におけるダンピング抵抗の挿入を説明するための図である。

【図32】第1実施形態の第5変形例におけるダンピング抵抗の値とノイズ合成波形の変化との例を示す図である。

【図33】(a)～(c)はいずれも本発明の第2実施形態としてのノイズチェック方法における信号波形とノイズ波形との合成手順を説明するための図である。

【図34】第2実施形態におけるクロックタイミングを考慮したノイズチェックを説明するための図である。

【図35】第2実施形態におけるノイズ波形圧縮手法を説明するためのタイムチャートである。

【図36】第2実施形態におけるノイズ波形圧縮手法により得られた圧縮ノイズ波形を示す図である。

【図37】(a)～(g)は第2実施形態におけるノイズ合成手法を説明するためのタイムチャートである。

【図38】データ入力から着目FFまでのパスを展開できる場合についてのタイミング定義を示す図である。

【図39】(a)は第2実施形態における単発波形計算時のノイズ波形合成手法を説明するための図、(b)は(a)において適用される圧縮ノイズ波形を示す図である。

【図40】(a)は第2実施形態における繰り返し波形計算時のノイズ波形合成手法を説明するための図、(b)は(a)において適用される圧縮ノイズ波形を示す図である。

【図41】第2実施形態におけるノイズとクロックとの位相関係のチェック手法を説明するための図である。

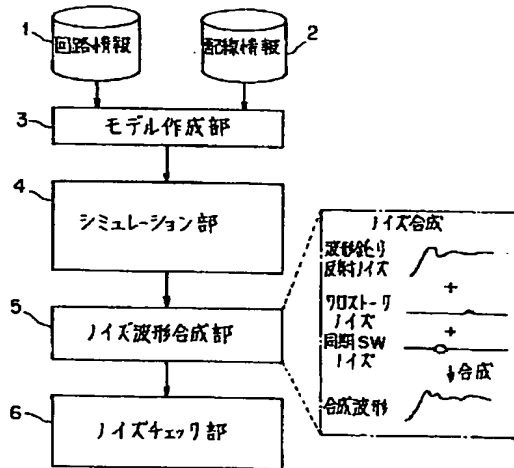
【図42】(a)、(b)は第2実施形態においてノイズ発生がクロックと非同期である場合のノイズ波形の算出手法を説明するための図である。

#### 【符号の説明】

- 1 回路情報
- 2 配線情報
- 3 モデル作成部
- 4 シミュレーション部
- 5 ノイズ波形合成部
- 6 ノイズチェック部
- 11 回路ネットリストデータベース
- 12 実装データベース
- 13 データ抽出部
- 14 回路モデル作成部(モデル作成部)
- 15 回路シミュレータ(シミュレーション部)

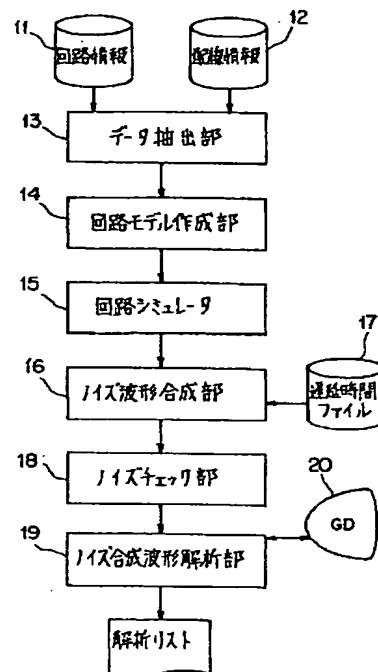
- 16 ノイズ波形合成部
- 17 遅延時間ファイル
- 18 ノイズチェック部
- 19 ノイズ合成波形解析部
- 20 グラフィックディスプレイ (GD, 表示部)
- 22 ファイル分割部
- 23 並列プロセッサ
- 24 ファイル結合部
- 25 ネットワーク

【図1】

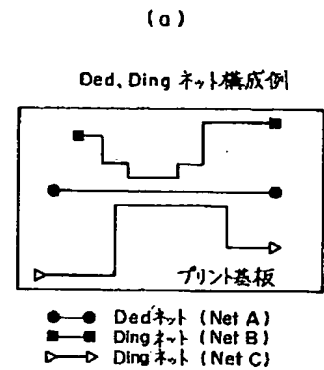


- 26 共有ディスク
- 27 ネットワーク上のPC/WS (処理部)
- 28 ネット移動量算出部
- 29 タイミング変更量算出部
- 30 ポインティングデバイス (マウス, 選択入力部)
- 31 最適ダンピング抵抗値算出部
- 32 抵抗部品検索部
- 33 部品ライブラリ
- 34 再ノイズ計算/合成部

【図2】



【図3】

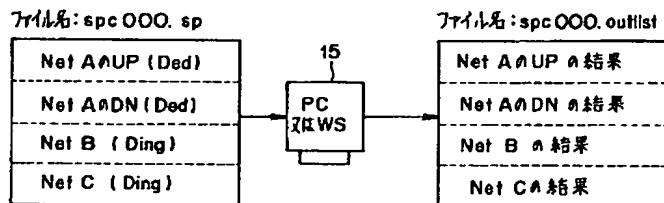


(b)

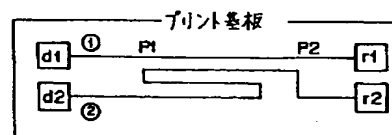
シミュレーションモデルの並び  
(4シミュレーション)

Net AのUP (Ded)
Net AのDN (Ded)
Net B (Ding)
Net C (Ding)

【図4】

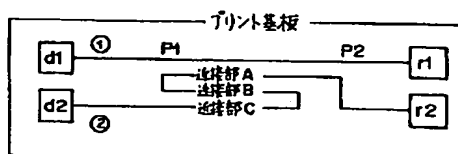


【図5】

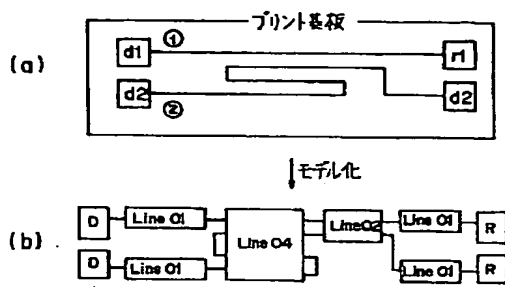


- ① 着目ネット (ノイズの影響を受けるネット)
- ② ノイズネット (ノイズの影響を与えるネット)

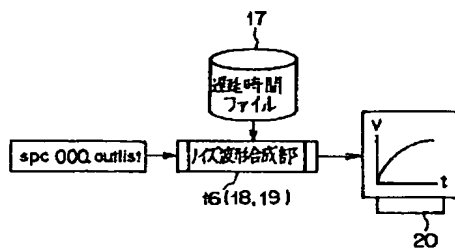
【図7】



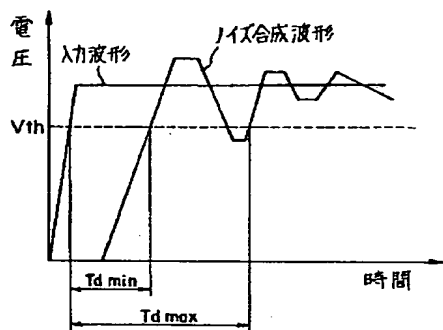
【図 6】



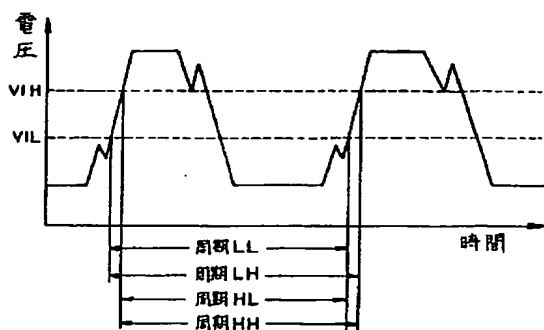
【図 9】



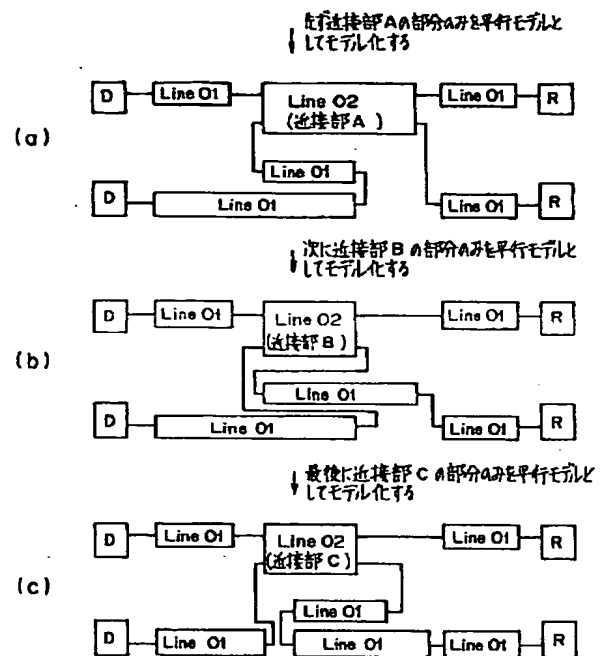
【図 11】



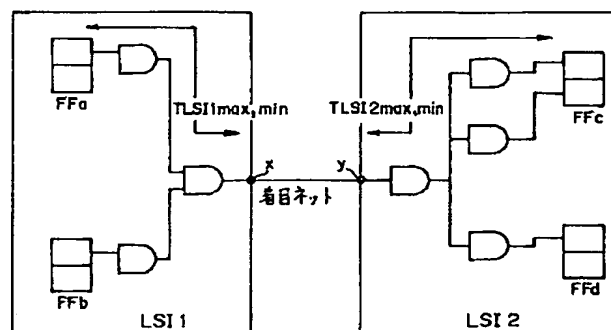
【図 13】



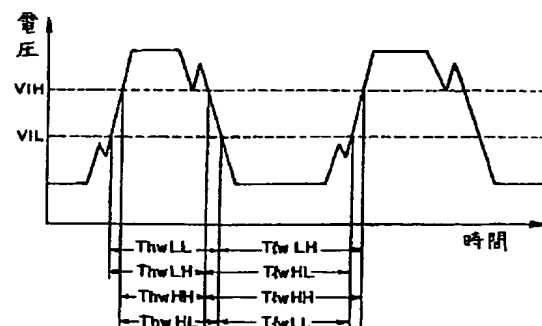
【図 8】



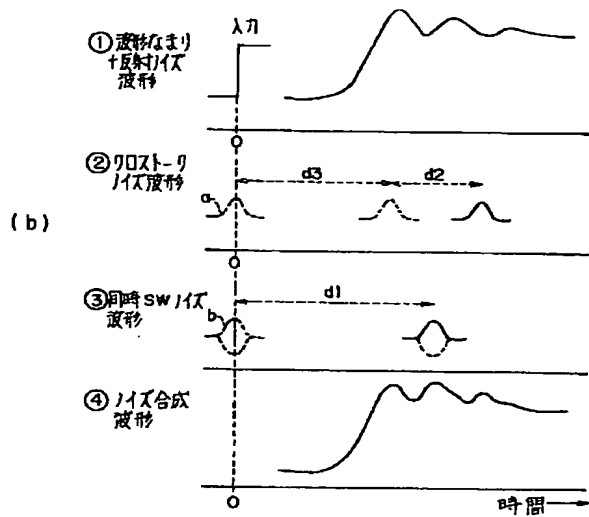
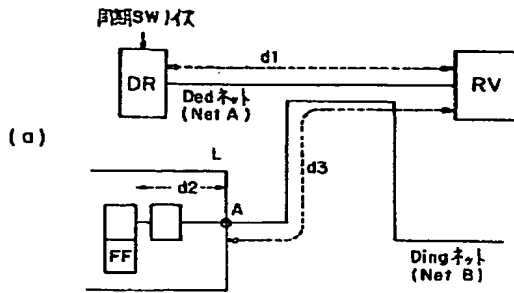
【図 12】



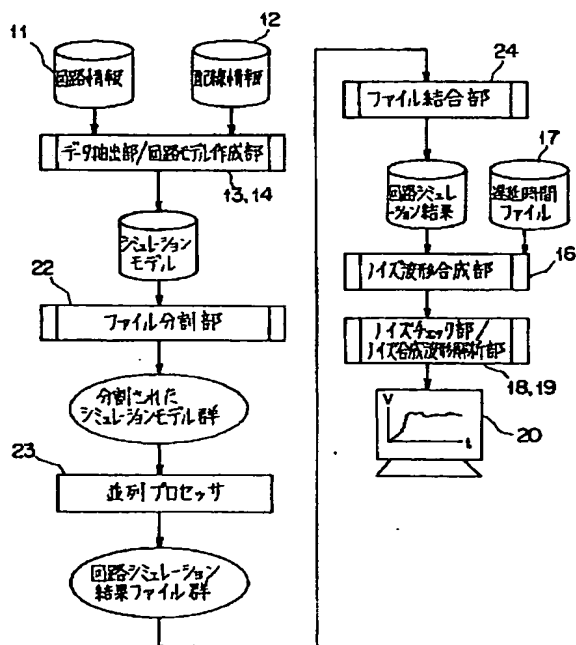
【図 14】



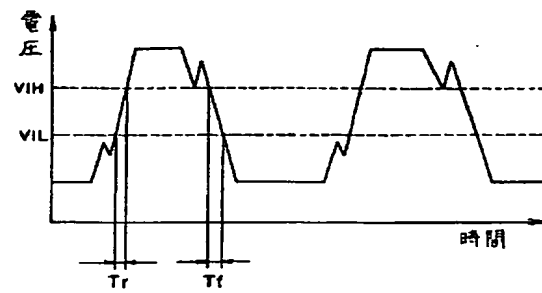
【図 10】



【図 16】



【図 15】



【図 21】

(a)

ファイル名: spc 000. sp

Net A nUP (Ded)
Net A nDN (Ded)
Net B (Ding)
Net C (Ding)

(b)

ファイル名: spc 000.sp.001

Net A nUP (Ded)
Net A nDN (Ded)

ファイル名: spc 000.sp.002

Net B (Ding)
Net C (Ding)

【図 17】

(a)

ファイル名: spc 000. sp

Net A nUP (Ded)
Net A nDN (Ded)
Net B (Ding)
Net C (Ding)

(b)

ファイル名: spc 000.sp.001

Net A nUP (Ded)
-----------------

ファイル名: spc 000.sp.002

Net A nDN (Ded)
-----------------

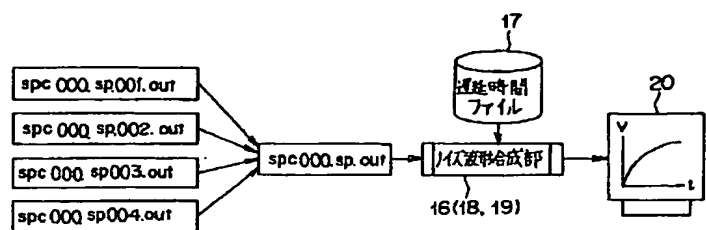
ファイル名: spc 000.sp.003

Net B (Ding)
--------------

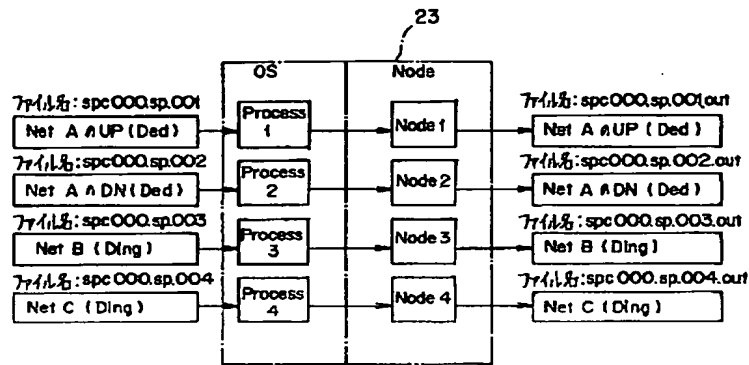
ファイル名: spc 000.sp.004

Net C (Ding)
--------------

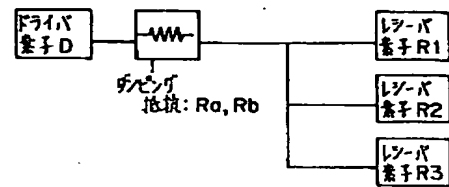
【図 19】



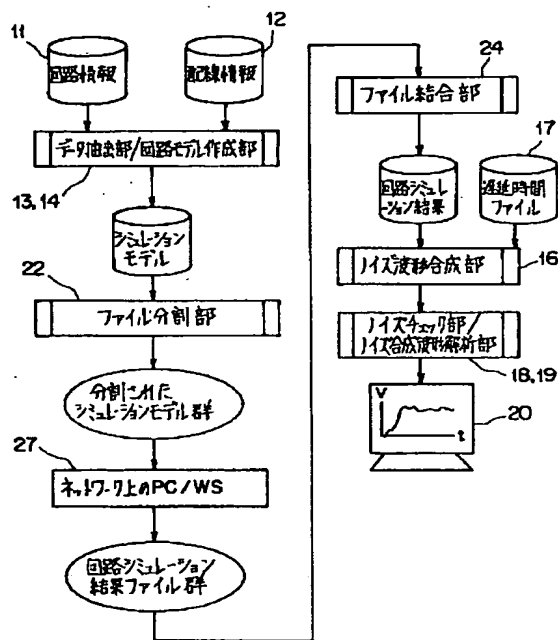
【図 18】



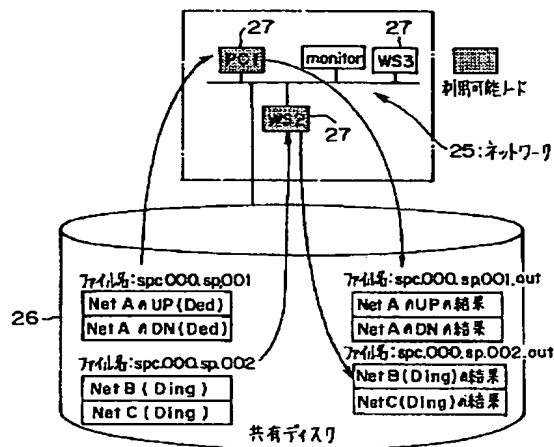
【図 31】



【図 20】

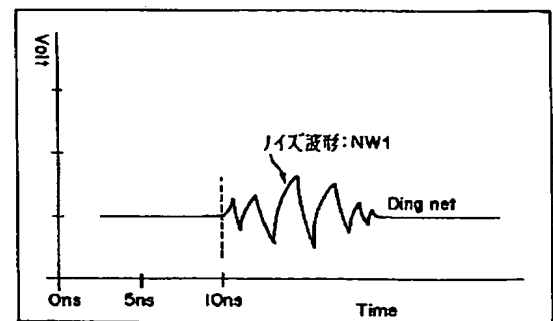
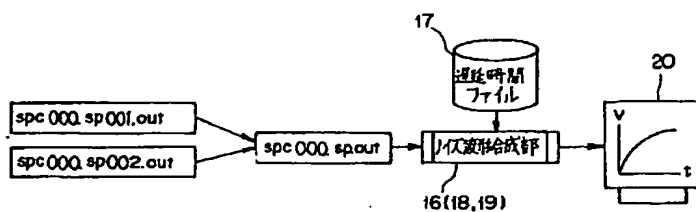


【図 22】

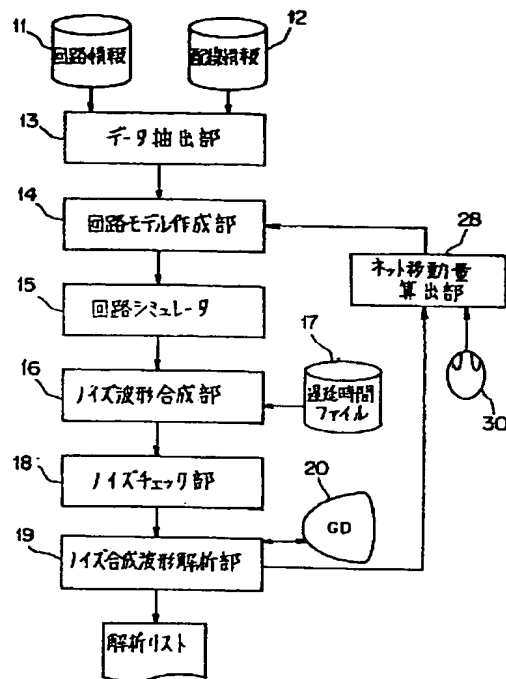


【図 27】

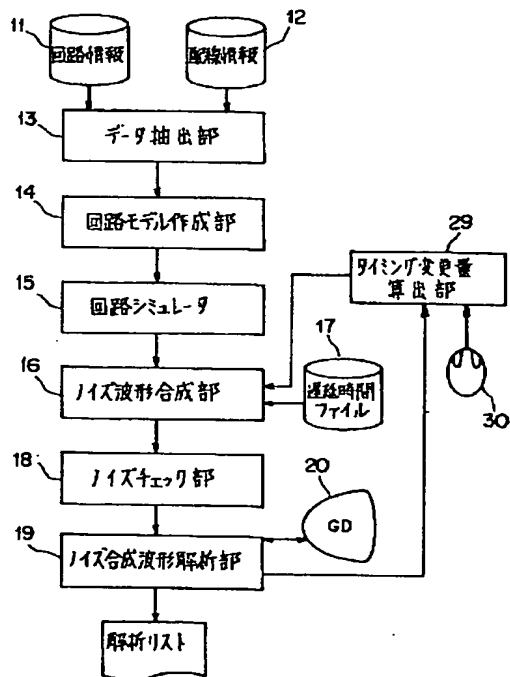
【図 23】



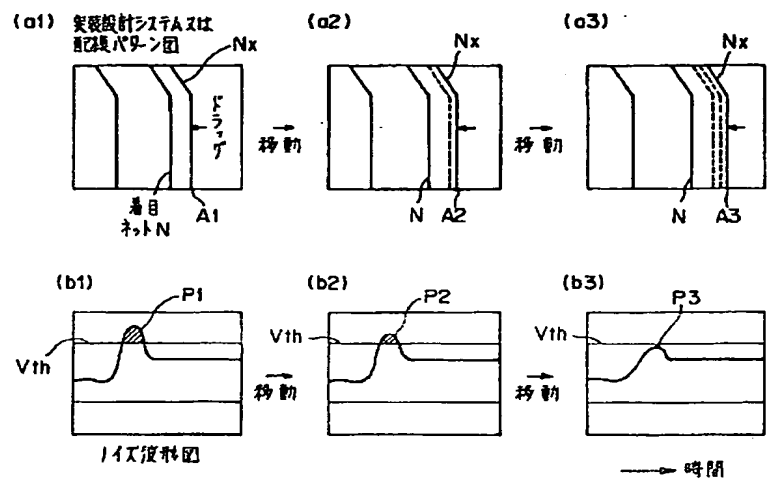
【図24】



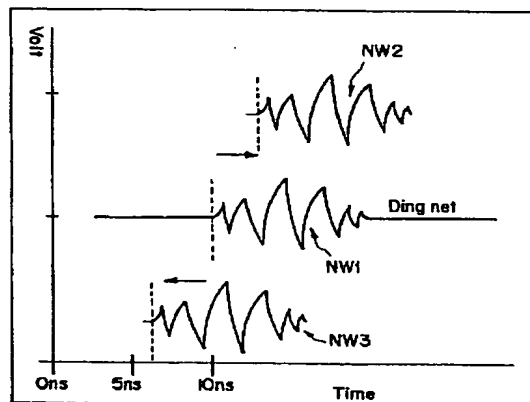
【図26】



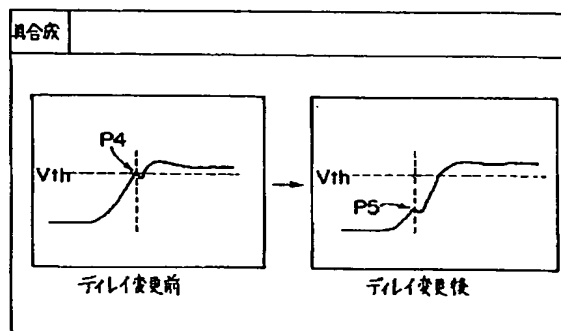
【図25】



【図28】

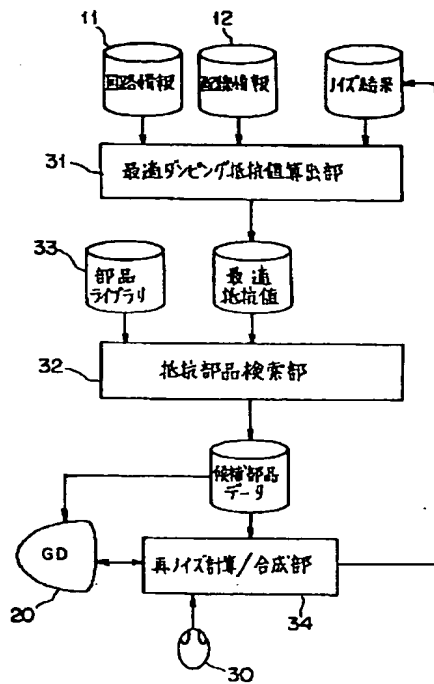


【図29】

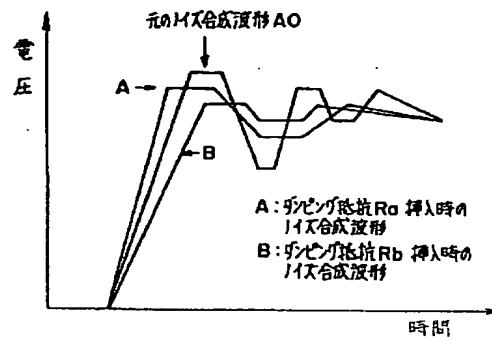




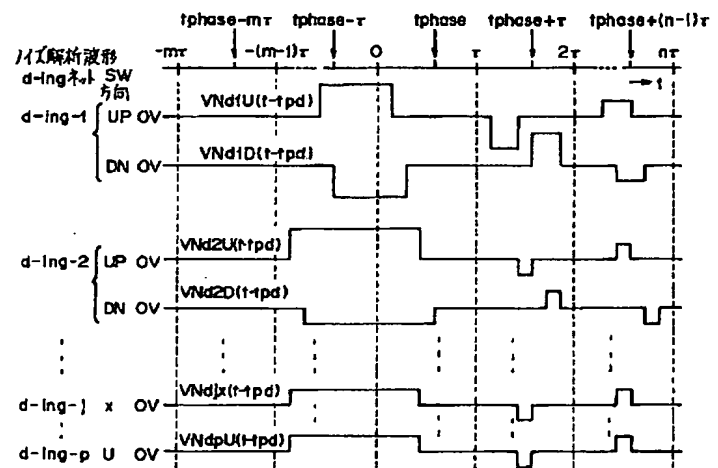
【図30】



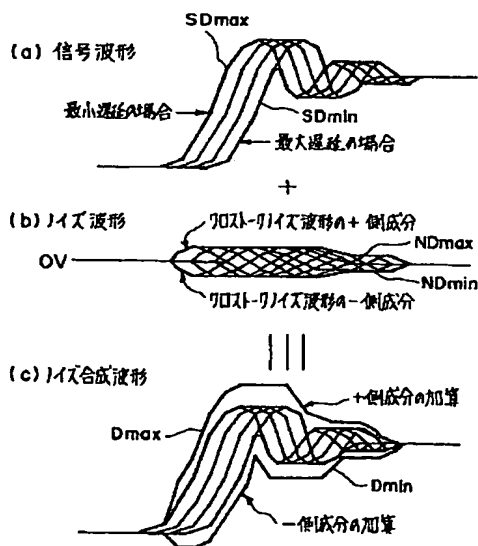
【図32】



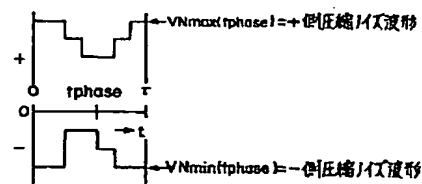
【図35】



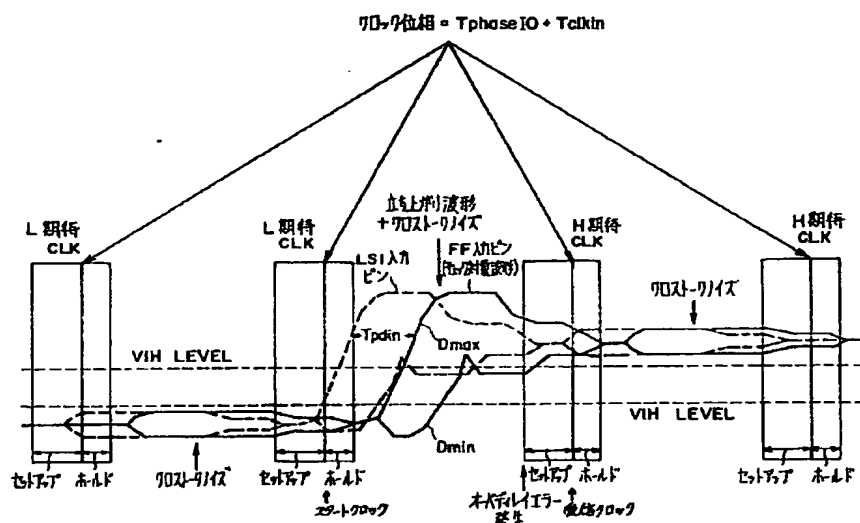
【図33】



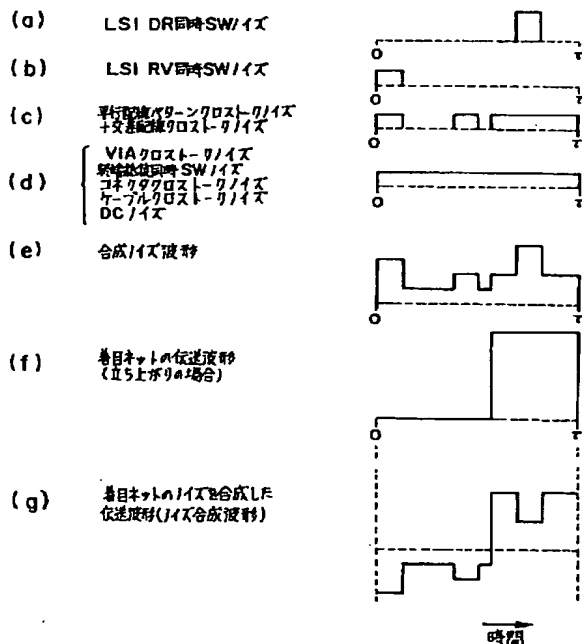
【図36】



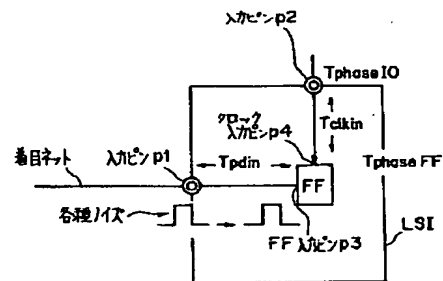
【図34】



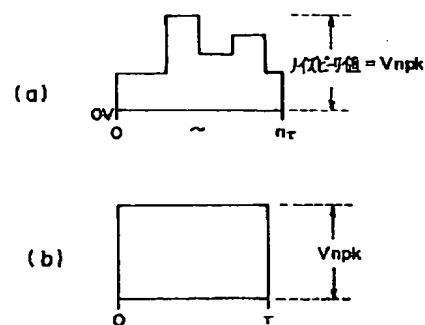
【図37】



【図38】

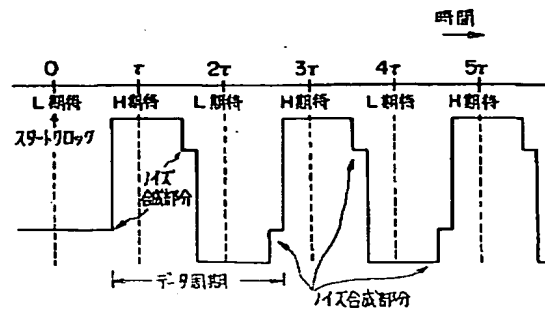


【図42】

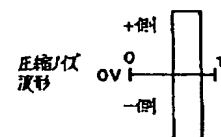


【図 40】

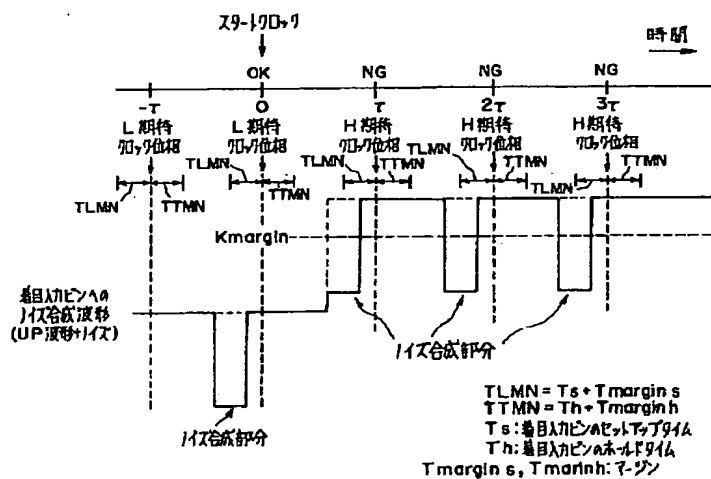
(a)



(b)



【図 4 1】



神奈川県横浜市港北区新横浜二丁目15番16  
株式会社富士通コンピュータテクノロジー  
内

(72) 発明者 佐藤 俊昭  
神奈川県横浜市港北区新横浜二丁目15番16  
株式会社富士通コンピュータテクノロジ  
内

(72) 発明者 鐘井 一欽  
神奈川県横浜市港北区新横浜二丁目15番16  
株式会社富士通コンピュータテクノロジ  
内

(72) 発明者 登坂 正喜  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72) 発明者 山下 裕寛  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内